

UNIVERSIDAD AUTONOMA DE MADRID

ESCUELA POLITECNICA SUPERIOR



TRABAJO FIN DE GRADO

**Diseño de un controlador digital en FPGA para fuente
AC/DC robusto ante cambios de frecuencia**

Grado en Ingeniería de Tecnologías y Servicios de
Telecomunicación

Gabriel Álvarez Pérez

SEPTIEMBRE 2014

Agradecimientos

En primer lugar me gustaría agradecer la realización de este trabajo a mi tutor Fernando, el cual me ha estado ayudando en su correcta realización y finalización en todo momento atendiendo a cualquier duda que le plantease.

También agradecer a todos los compañeros de clase por su amistad y ayuda: Eduardo, Ángel, Tomé, Paula, Sandra, Laura, Diego, Ana, Marta, Alberto, Cule... En especial a Erik y Manuel, los cuales me han ayudado siempre que lo he necesitado sin poner pegas. A todos ellos, gracias por hacer que estos años se hayan pasado más rápido, sin ser tan duros como podrían haber sido.

Dar las gracias a mi mejor amigo Andrés, amistad que perdura desde los tiempos de la guardería hasta hoy en día y que siga durando muchos años más.

Dar las gracias a mi familia, mis abuelos, mis tíos y también a mis padrinos porque también han estado siempre dando su apoyo para salir adelante en todas las oposiciones que pone la vida.

Por último dar las gracias a mi padre y a mi madre, porque sin ellos no sería posible que yo estuviese realizando esta carrera, además de ayudarme siempre que lo he necesitado y hacerme la vida lo más fácil posible. Por supuesto, también dar las gracias a mi hermano, al que quiero y del que espero ser un buen referente, y espero verle acabando una carrera en unos años.

Gabriel Álvarez
Septiembre 2014

Resumen

Este trabajo presenta el desarrollo de una ampliación para un regulador con corrección de factor de potencia para un convertidor elevador AC/DC. Esta ampliación se centra en mejorar la robustez de dicho regulador frente a cambios en la frecuencia de entrada.

El sistema original está diseñado como un regulador de ciclo de trabajo precalculado. Estos valores se generan a priori considerando unos valores nominales, incluida la frecuencia. El sistema se sincroniza con la tensión de entrada en el paso por cero. Cualquier cambio en la frecuencia hará que aplique los valores precalculados en instantes erróneos. El módulo desarrollado en este trabajo mide la frecuencia real y compensa la aplicación de los valores precalculados para que se realice en el instante correcto.

Este nuevo desarrollo se ha comparado con el sistema existente tanto para condiciones nominales como para no nominales de la frecuencia de la tensión de entrada. Las modificaciones incluidas mantienen el valor del factor de potencia en condiciones no nominales, que se ve disminuido con el regulador original. Además, se ha observado un aumento del factor de potencia en condiciones nominales frente al sistema original.

Palabras clave: FPGA, Factor de potencia, PWM, corrección de factor de potencia, DSP, DNLC, regulador, elevador, convertidor.

Abstract

This work presents the development of an expansion for a power factor correction regulator for an AC/DC boost converter. This expansion focuses on improving the robustness of the controller against changes in the input frequency.

The original system is designed as a precalculated duty cycles regulator. These values are previously generated considering nominal conditions, including the frequency. The system synchronizes with the input voltage at zero crossing. Any change to the frequency will make the system to apply the precalculated values incorrectly. The new module, designed in this work, measures the real frequency and compensates the application of the precalculated values to be done in the correct moment.

This new module has been compared with the original system both for the nominal conditions and for the non-nominal ones of the input voltage frequency. Whereas the power factor value is decreased using the original controller, the included modifications keep the power factor value for these non-nominal conditions. Also, the power factor for the nominal conditions has been increased over the one obtained with the original system.

Key words: FPGA, Power Factor, PWM, Power Factor Correction, DSP, DNLC, regulator, converter, boost.

Índice general

1. Introducción	1
1.1. Organización del trabajo	2
2. Estado del arte	3
3. Desarrollo	9
3.1. Sistema original	9
3.2. Modificaciones en el sistema	10
3.2.1. Modificaciones en el esquema de diseño	10
3.2.2. Nuevo módulo añadido	11
4. Experimentación	15
4.1. Efecto del cambio de frecuencia en el sistema original	15
4.2. Condiciones nominales	17
4.3. Condiciones no nominales	20
4.3.1. Capturas utilizando la última medida	23
4.3.2. Capturas utilizando la última medida equivalente	24
4.3.3. Capturas utilizando la media de las últimas medidas	25
4.3.4. Capturas utilizando la media de las últimas medidas equivalentes.....	26
4.4. Respuesta frente a un escalón en la frecuencia.....	27
4.5. Discusión	31
5. Conclusiones	33
Bibliografía.....	35
ANEXO A	37
ANEXO B	43

Índice de figuras

Figura 1-1 Circuito elevador. Vi: Tensión rectificada.....	1
Figura 2-1 Sistema realizado en [20, 21].....	5
Figura 3-1 Sistema original	9
Figura 3-2 Sistema con el nuevo módulo de frecuencia.....	11
Figura 4-1 Sistema original a 48Hz (izquierda) y 49 Hz (derecha).....	16
Figura 4-2 Sistema original a 50Hz.....	16
Figura 4-3 Sistema original a 51Hz (izquierda) y 52Hz (derecha).....	17
Figura 4-4: Sistema a 50Hz empleando la última medida.....	18
Figura 4-5: Sistema a 50Hz empleando la última medida equivalente	18
Figura 4-6: Sistema empleando la media de las 2 últimas medidas	19
Figura 4-7: Sistema al emplear la media de las 2 últimas medidas equivalentes.....	19
Figura 4-8 Sistema empleando la última medida a 48Hz (izquierda) y 49Hz (derecha)	23
Figura 4-9 Sistema empleando la última medida a 50Hz.....	23
Figura 4-10 Sistema empleando la última medida a 51Hz (izquierda) y 52Hz (derecha)	23
Figura 4-11 Sistema empleando la última medida equivalente a 48Hz (izquierda) y 49Hz (derecha).....	24
Figura 4-12 Sistema empleando la última medida equivalente a 50Hz	24
Figura 4-13 Sistema empleando la última medida equivalente a 51Hz (izquierda) y 52Hz (derecha).....	24
Figura 4-14 Sistema empleando la media de las dos últimas medidas a 48Hz (izquierda) y 49Hz (derecha)	25
Figura 4-15 Sistema empleando la media de las dos últimas medidas a 50Hz	25
Figura 4-16 Sistema empleando la media de las dos últimas medidas a 51 (izquierda) y 52Hz (derecha)	25
Figura 4-17 Sistema empleando la media de las dos medidas frecuencias equivalentes a 48Hz (izquierda) y 49Hz (derecha)	26
Figura 4-18 Sistema empleando la media de las dos últimas medidas equivalentes a 50Hz	26
Figura 4-19 Sistema empleando la media de las dos últimas medidas equivalentes a 51Hz (izquierda) y 52Hz (derecha).....	26
Figura 4-20 Respuesta al escalón empleando la última medida equivalente	27

Figura 4-21 Respuestas al escalón empleando 2 (superior izquierda), 4 (superior derecha), 8 (inferior izquierda) y 16 (inferior derecha) medidas equivalentes	28
Figura 4-22 Respuesta empleando la última medida.....	29
Figura 4-23 Respuestas al cambio empleando 2 (superior izquierda), 4 (superior derecha), 8 (medio izquierda), 16 (medio derecha) y 32 (central inferior) últimas medidas.....	30

Índice de tablas

Tabla 4-1 Medidas realizadas con el sistema original	16
Tabla 4-2 Resultados del factor de potencia en las distintas configuraciones del sistema	20
Tabla 4-3 Medidas realizadas con el sistema nuevo empleando la última medida calculada	21
Tabla 4-4 Medidas realizadas con el sistema nuevo empleando la última medida equivalente.....	21
Tabla 4-5 Medidas realizadas con el sistema nuevo empleando la media de las últimas medidas	21
Tabla 4-6 Medidas realizadas con el sistema nuevo empleando la media de las últimas medidas equivalentes.....	22
Tabla 4-7 Resultados globales de todas las pruebas.....	31

Glosario

PWM: Pulse-Width Modulation.

FPGA: Field Programmable Gate Array.

AC: Alternating Current.

DC: Direct Current.

DSP: Digital signal processing.

DNLC: Digital Non-Linear Carrier.

ADC: Analog-to-Digital Converter.

PFC: Power Factor Correction.

PF: Power Factor.

LUT: Look Up Table.

RLC: Circuito lineal que contiene una resistencia eléctrica (R), una bobina (inductancia: L) y un condensador (capacitancia: C).

MOSFET: Metal-Oxide-Semiconductor Field-Effect Transistor.

1. Introducción

Una fuente conmutada AC/DC es “básicamente” un circuito RLC con un MOSFET, como el que se muestra en la figura 1-1, colocado a la salida de un puente de diodos. Mediante el control de dicho MOSFET se pretende que la tensión de salida de la fuente mantenga un valor constante. Además, es necesario que el factor de potencia supere el valor mínimo establecido por las normativas internacionales.

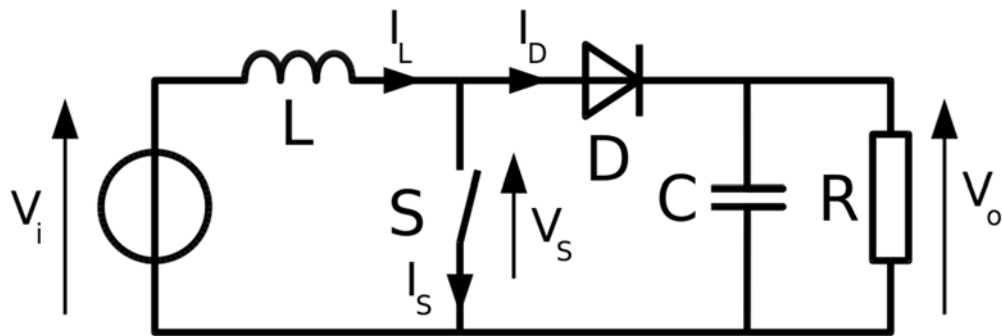


Figura 1-1 Circuito elevador. V_i : Tensión rectificada

Para entender esto, el factor de potencia se define como la relación que existe en la potencia activa del circuito, o dicho de otro modo, la potencia real, y la potencia aparente de este, que es la que querríamos conseguir para poder llegar a tener una señal de corriente alterna perfectamente sinusoidal y proporcional a la tensión de entrada.

El objetivo de este trabajo es el estudio e implementación de una mejora sobre un regulador digital para una fuente conmutada. Estos reguladores se diseñan considerando un valor de Corrección de Factor de Potencia (PFC) superior al mínimo establecido por la normativa. Este trabajo se centrará en aumentar la robustez de un regulador con valores pre-calculados frente a un cambio en la frecuencia de la tensión de entrada.

La corrección del factor de potencia, como se ha explicado antes, consigue rectificar la tensión alterna de entrada, a la vez que se regula la tensión media de salida y la corriente de entrada. Las técnicas PFC permiten que podamos reducir el contenido armónico producido al rectificar las tensiones de entrada mediante las fuentes conmutadas. El convertidor PFC consigue que la corriente de entrada sea proporcional a la tensión de

entrada, haciendo las veces de carga resistiva y, de este modo, minimiza el contenido armónico.

En este trabajo se muestra una técnica en la que se compensa la frecuencia de trabajo de la tensión de entrada ajustando las direcciones de la memoria de los ciclos PWM almacenados previamente. En vez de calcular en tiempo real el estado en el que debe estar el convertidor, se aplica una señal previamente almacenada en una memoria. El modulo del PFC está diseñado para trabajar a una supuesta frecuencia nominal fija para su correcto funcionamiento, pero resulta ser poco efectivo cuando la frecuencia entrante al circuito se sale de ese valor nominal para la que está diseñado. Con el trabajo realizado, el sistema es capaz de redireccionar los valores previamente asignados según la frecuencia de trabajo a la que se encuentra el sistema, dando soporte de un +6% o -6% de variación en la frecuencia a la que estaba inicialmente diseñado de 50Hz.

1.1. Organización del trabajo

Para poder mostrar todos los aspectos vistos en el desarrollo de este trabajo, esta memoria tiene la siguiente organización de manera que se pueda seguir fielmente el proceso llevado a cabo para su finalización.

En el segundo apartado de este trabajo, el estado del arte, se verán las diferentes aplicaciones que se han realizado hasta el momento para llevar a cabo la corrección de factor de potencia. En el tercer apartado (desarrollo), se verá cómo se ha llevado a cabo la mejora de la técnica para realizar la corrección de factor de potencia mediante la medida de la frecuencia de la tensión de entrada. En el cuarto apartado, se verán una serie de experimentos llevados a cabo para comprobar el correcto funcionamiento de la técnica añadida para la corrección. Por ultimo en el quinto apartado se hará una breve conclusión sobre todo lo obtenido a lo largo de la realización de este trabajo.

Como anexo se incluye el código del nuevo módulo del programa de la FPGA y una publicación derivada de este trabajo realizado.

2. Estado del arte

En sus inicios, los convertidores AC/DC con corrección de factor de potencia que se diseñaban, usaban reguladores analógicos, opción que actualmente sigue siendo mayoritaria. Las ventajas que proporciona el control digital son muchas, tanto para la corrección del factor de potencia, como para otros usos en circuitos de potencia. Las ventajas más destacadas de estos reguladores son la versatilidad a la hora de efectuar la regulación, una gran reducción en el número y tamaño de los elementos pasivos del circuito, mayor resistencia al calor y al paso del tiempo, gestión en tiempo real, etc. Por otra parte, entre las desventajas están el mayor coste de desarrollo que esto implica, y la limitación del ancho de banda debido al proceso de muestreo y su mayor coste de fabricación. Por lo general, el coste de fabricación se está viendo reducido, y sin implicar grandes limitaciones en los resultados que se tienen.

Inicialmente se emplearon los microcontroladores y DSPs para conseguir realizar la corrección del factor de potencia. Poco a poco, fueron apareciendo diferentes técnicas con las que se podía hacer la corrección que mejoraban los resultados obtenidos por convertidores y además conseguían reducir su coste de manera considerable.

Más adelante, se comenzó con el uso de las FPGAs en lugar de los DSPs, lo cual puede verse en [1], que realiza una de las primeras implementaciones digitales de un lazo de control de carga. Además, propuso la idea de realizar el lazo de tensión controlado por la tensión de salida máxima en cada semiciclo de red. De este modo, se medía la máxima tensión de salida que había en cada ciclo, obteniendo un filtrado del rizado de tensión de salida al doble de la frecuencia de la red.

Otras propuestas permiten aumentar el ancho de banda del lazo de tensión [2-7]. Normalmente, el lazo de tensión tiene un ancho de banda muy bajo, alrededor de 10 a 20 Hz. Esto se debe a que mayores anchos harían que el lazo de tensión intentara corregir el rizado de la tensión de salida, interfiriendo la corrección de factor de potencia y siendo contraproducente. El problema es que el lazo de tensión es muy lento ante transitorios en la tensión de salida. En [2, 4] se mejora el ancho de banda del lazo de tensión, estimando el rizado de la tensión de salida, y restándolo a la tensión real de salida, obteniendo una

medida sin el rizado. En [3] se muestran mejoras parecidas en el lazo de tensión para aumentar su ancho de banda. Además, incluye la ventaja de medir la corriente de forma sincronizada con el PWM del interruptor, consiguiendo un filtrado implícito de la medida. En [5, 6] también se aumenta el ancho de banda del lazo de tensión, eliminando la influencia del rizado de la tensión de salida, esta vez aplicando un filtro en peine, el cual rechaza la frecuencia del rizado y la de sus múltiplos. Todos estos avances se van sucediendo con la intención de conseguir mejorar el factor de corrección de potencia y además, conseguir reducir los costes de fabricación que puede conllevar.

Posteriormente, surgen otras ideas sobre cómo tratar la corrección de factor de potencia para conseguir los mismos resultados o mejorarlos. La idea que entonces apareció fue la de eliminar algunas medidas para realizar la corrección de factor de potencia. Las técnicas tradicionales de corrección de factor de potencia requieren medir tres parámetros: la tensión de entrada, la corriente de entrada y la tensión de salida. En multitud de artículos se han propuesto métodos para eliminar mediciones de estas variables. En [8] se presentó un sistema de alimentación ininterrumpida que mide únicamente la tensión de salida y la corriente de salida. En [9] se elimina la medida de la tensión de entrada, introduciendo un observador de perturbaciones. En [10] también se elimina la medición de la tensión de entrada, realizando una estimación de la misma. En [11] se implementa un convertidor DNLC (*Digital Non-Linear Carrier*) en el que no se mide la tensión de entrada. En [12] se presenta un método para la estimación de la tensión de salida a través de la medición de la corriente de entrada. En [13, 14] se presenta un método para medir las señales analógicas sin ADCs, usando señales generadas en forma de diente de sierra y utilizando comparadores.

En [15, 16] se muestran resúmenes de las técnicas más habituales a la hora de la medición de la corriente. Una práctica que suele ser habitual, es la utilización de un sensor resistivo (shunt), para medir con un ADC la caída de tensión en la resistencia. La ventaja que esto conlleva es la simplicidad y bajo coste del shunt. Por otro lado, los inconvenientes que esto conlleva son que la resistencia genera pérdidas eléctricas y que el calor generado debe disiparse. Estas pérdidas eléctricas son proporcionales al cuadrado de la corriente que proporciona el convertidor. Además, el shunt proporciona una tensión muy pequeña para disminuir pérdidas, por lo que debe amplificarse antes de la cuantificación por el ADC, lo que conlleva un incremento del coste.

Cabe destacar que la corriente que tenemos a la entrada tiene una frecuencia igual a la frecuencia de conmutación, estando alrededor de las decenas o cientos de kilohertzios. En [17] se muestra el diseño de un sensor analógico-digital capaz de medir la corriente media usando únicamente dos comparadores de tensión y un filtro paso bajo. Este último filtra la salida de realimentación del sensor y se compara con la tensión que presenta a la corriente. Este sensor se puede usar tanto para convertidores DC/DC como AC/DC.

Por otra parte, [18] muestra un convertidor PFC en el que únicamente se usa un lazo de tensión, midiendo las tensiones de entrada y salida. Este sistema ofrece buen rendimiento ante condiciones de entrada nominales y ante transitorios, aunque no ante la tensión de entrada distorsionada. Para evitar el problema, [19] propone una modificación del regulador, la cual mejora los resultados en este caso, pese a que hace el sistema más complejo. En este artículo, el ciclo de trabajo se obtiene midiendo la tensión en la inductancia y generando una referencia sincronizada con la tensión de entrada a partir de LUTs.

Otro método para eliminar la medida de la corriente es precalcular el ciclo de trabajo del interruptor. De esa forma, se puede guardar el estado del interruptor durante un semiciclo de red, y esta información se puede aplicar periódicamente, una vez que el sistema se sincronice con la tensión de entrada. Algunas de las propuestas que implementan dicha idea son [20- 23]. El principal problema del precálculo del ciclo de trabajo es que el factor de potencia decrece drásticamente cuando las condiciones de entrada no son exactamente iguales a las utilizadas durante el cálculo de los ciclos de trabajo.

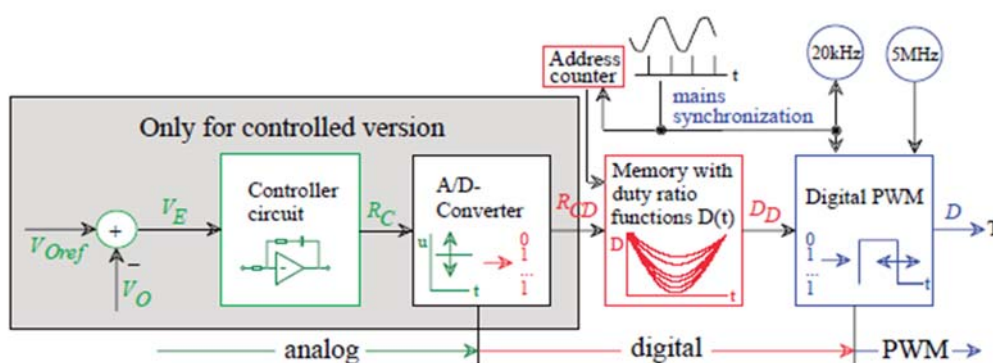


Figura 2-1 Sistema realizado en [20, 21]

En [20, 21] se presenta un método basado en ciclo precalculado, así como el control necesario para reaccionar ante cambios en la tensión de salida debidos a la carga. El control propuesto selecciona el conjunto de ciclos de trabajo más adecuado entre varios que están almacenados. Un regulador analógico se encarga de dicha tarea teniendo como entrada la tensión de salida, y generando una tensión que se discretiza con un ADC para seleccionar la memoria a usar, como el circuito mostrado en la figura 2-1. En particular, el sistema almacena ocho posibles ciclos de trabajo, limitando las posibilidades de regulación. Además, en los ciclos de trabajo no se tienen en cuenta cambios a la tensión de entrada.

Por otra parte, [22] presenta una técnica predictiva que calcula los ciclos de trabajo para el próximo semiciclo de red, midiendo las tensiones de entrada y salida durante el semiciclo actual. Este sistema presenta limitaciones en caso de cambios en la carga, por lo que los mismos autores lo mejoraron en [23]. Este último, reduce esas limitaciones, a costa de tener que medir la corriente de entrada. Este último método presenta una alternativa para realizar la corrección de factor de potencia, pero el número de sensores no se reduce frente a una propuesta clásica.

En [24], se propone también el método del precálculo de los ciclos de trabajo empleados por el PWM para llevar a cabo la corrección de factor de potencia, aplicando un conjunto de ciclos de trabajo al interruptor del convertidor elevador. Esto se llevó a cabo mediante un convertidor elevador en modo de conducción continua. Además de hacerlo mediante el uso de lazos cerrados de trabajo. En [24] se mostraron diferentes modos de tratar el factor de corrección de potencia según cómo se hacía uso de los ciclos de trabajo, ya fuese utilizándolo como una componente única, como dos componentes o como tres. Todo esto tenía que ser realizado de forma síncrona con la red eléctrica, o dicho de otro modo, los ciclos tenían que ser aplicados en el momento preciso dentro del semiciclo de red. Por medio de un comparador de tensión, que cambiaría su salida cuando la tensión superase el umbral establecido. Ya que la señal era muy ruidosa, fue necesario realizar un filtrado.

Aparte de esto, [24] mostró un método de hacer posible esto llevando a cabo también solo el control de algunas señales, sin necesidad de estar en todo momento controlando la señal de tensión de entrada, tensión de salida, y corriente de entrada. Este trabajo llevó a cabo

varios métodos para poder conseguir un factor de potencia dentro de los límites establecidos por [25].

Hasta el momento, en todos los sistemas de convertidores de factor de potencia, no se ha tenido en cuenta la posible variación de la frecuencia que la tensión de entrada puede sufrir establecidas también en [25], por el hecho de que las tensiones en la realidad nunca son ideales. Por ello, este trabajo se encarga de llevar a cabo ese proceso en el que se tiene en cuenta las variaciones en la frecuencia de entrada para realizar la corrección de factor de potencia en un convertidor elevador.

3. Desarrollo

A continuación, veremos el proceso que se ha llevado a cabo para lograr que el sistema funcionase correctamente según los requisitos exigidos y consiguiese unos buenos resultados para su posible inclusión en el mercado. Todo se ha hecho partiendo del sistema inicial desarrollado por [24] y ampliando su funcionamiento para que soportase los cambios que podrían darse en la frecuencia de la tensión de entrada.

3.1. Sistema original

Se parte del sistema desarrollado por [24], el cual ya funciona de manera correcta. Este sistema se parte de un precálculo de los ciclos de trabajo del PWM se encarga de su aplicación para realizar la corrección del factor de potencia.

El diseño de este regulador se realiza con una división lógica del semiciclo de red en 1000 ciclos PWM. En condiciones nominales, los semiciclos de red tienen una frecuencia de 100 Hz. La resolución de cada ciclo PWM es de 1000 ciclos de reloj de la FPGA. Para cada uno de estos 1000 ciclos PWM, una LUT almacena el correspondiente ciclo de trabajo.

El sistema sincroniza la aplicación de los ciclos de PWM con la tensión de entrada, verificando el paso por cero. El esquema de este elemento es el que se observa en la figura 3.1-1.

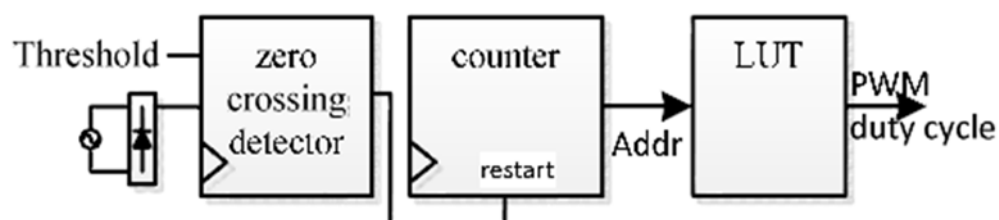


Figura 3-1 Sistema original

El sistema incluye un contador, que cada vez que se detectaba un paso por cero de la tensión de entrada, se inicia la distribución de las posiciones de memoria en la LUT encargada de sacar el ciclo de trabajo del PWM.

El problema de este sistema, es que aunque se consigue un valor de factor de potencia cumpliendo los requisitos de [25], no tiene en cuenta las posibles variaciones en la frecuencia de la tensión de entrada establecida por ésta. Cambios que pueden hacer que el valor de este factor se viese altamente alterado por ello, y dejar de cumplir estos requisitos.

3.2. Modificaciones en el sistema

A continuación, veremos los cambios que se han introducido en el sistema que teníamos de partida. Para que el sistema fuese capaz de cumplir con los requisitos de [25], y poder soportar variación en la frecuencia de entrada de un $+4\%/-6\%$ respecto a las condiciones nominales de los semiciclos de red a 100 Hz.

3.2.1. Modificaciones en el esquema de diseño

Para que este sistemas del que partíamos fuese capaz de lidiar con los posibles cambios de frecuencia que la tensión de entrada podía sufrir, se eliminó el contador existente anteriormente, y en su lugar se introdujo un nuevo módulo. Este módulo se encargará de llevar a cabo todas las nuevas operaciones para que el sistema pudiese enfrentarse a los cambios que la frecuencia puede sufrir.

Este módulo que se insertó en lugar del contador, se encargaba de calcular la frecuencia de los semiciclos de red a cada paso por cero que era detectado por el sistema. El nuevo esquema de diseño es el mostrado en la figura 3.2.1-1.

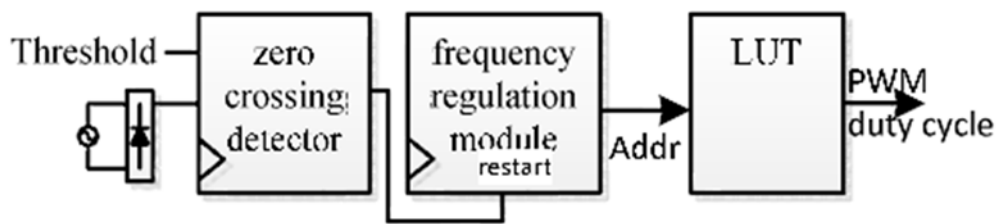


Figura 3-2 Sistema con el nuevo módulo de frecuencia

Al igual que antes de incluir la modificación, el sistema mantiene su detector de paso por cero, que indicara al sistema cuándo debe comenzar el direccionamiento de las posiciones de memoria de los ciclos de trabajo precalculado del PWM.

3.2.2. Nuevo módulo añadido

El nuevo módulo es el encargado del cálculo de la frecuencia del semiciclo de red y de ajustar el direccionamiento de los ciclos de trabajo, para conseguir mejor factor de potencia. Este módulo tiene como descripción de entidad la que se puede observar en el siguiente código:

entity Selector is

```

port(
  signal Clk : in std_logic;
  signal Reset : in std_logic;
  signal Restart : in std_logic;
  signal EnableLazofrecuencia : in std_logic;
  signal Todas : in std_logic;
  signal num_freq : in std_logic_vector(2 downto 0);
  signal LastFrecuencia : out std_logic_vector(10 downto 0);
  signal NewAddress: out std_logic_vector(9 downto 0)
);

```

end Selector;

Aparte de las señales ya conocidas de reloj (CLK) y Reset, el módulo tiene como parámetros de entrada el habilitador del lazo de frecuencia (EnableLazofrecuencia), lo que distinguirá si deseamos que la FPGA realice las operaciones aplicando este lazo o como lo hacía con el contador de la versión anterior.

También posee otras dos señales de entrada, una que se encarga de decir que número de medidas de todas las que ha ido leyendo hasta el momento, que usamos para calcular la frecuencia real del semiciclo de red (`num_freq`). Esto se debe a que el modulo tiene un array en el que pueden guardar hasta las últimas 32 frecuencias detectadas con cada paso por cero. La otra entrada que posee este módulo, es la encargada de elegir si deseamos realizar los cálculos empleando todos los semiciclos de red según se van leyendo, o si se desea separar semiciclos positivos y negativos (Todas).

La cuenta del número de ciclos PWM que ha durado un semiciclo de red se hace mediante el empleo de la señal de Restart, que se activa en cada paso por cero de la tensión de entrada.

Esta duración medida se guardará en un array, donde se irán almacenando las últimas 32 mediciones, siendo la primera posición de este array, la más reciente de todas. Cada vez que llega una nueva, éstas se desplazan hacia posiciones más grandes, eliminando en cada paso la medida en la última posición.

Una vez se almacena la duración que se acaba de medir, debemos pasar a la comparación con las condiciones nominales e ideales. Esto es, comparando el resultado obtenido con el equivalente en muestras a 50 Hz de nuestra tensión de entrada, o dicho de otro modo, los 1000 ciclos PWM. Esta comparación no tiene por qué ser exactamente con la última medición, sino que depende de los valores de las entradas “`num_freq`” y “Todas”.

Los casos que tenemos se obtienen de la combinación de los siguientes parámetros:

- **División de semiciclos (Todas):** Permite aplicar el valor leído al semiciclo correspondiente, segregando positivos de negativos, o ignorando esta distribución.
- **Número de medidas empleadas (`num_freq`):** Permite definir el número de medidas almacenadas en el vector para calcular, como media de estos valores, la duración del semiciclo de red.

Para finalizar, el módulo posee una señal de salida (`NewAddress`) que es la encargada de direccionar la LUT de ciclos de trabajo precalculados.

Una vez se asignan los valores de estas entradas, debemos realizar la comparación con las medidas que se tendrían en las condiciones nominales. La comparación se realiza mediante una resta en binario, de manera que el bit más significativo se guarda para comprobar si el resultado de la resta es positivo o negativo. Esto se debe a que según si nos encontramos por encima o por debajo de los 50 Hz deberemos actuar de una manera u otra a la hora de realizar las correcciones.

Como indica [25], el sistema debe ser capaz de tolerar unas variaciones de $\pm 4\%$ en la frecuencia de la tensión entrada de la señal respecto a la frecuencia nominal. Esto equivale a unas 60 muestras de las 1000 que tenemos de nuestro ideal de 50 Hz de frecuencia AC. De este modo nuestro sistema debe ser capaz de actuar y corregir el direccionamiento de los ciclos de trabajo PWM para los casos en los que el sistema se encuentre entre las 1060 muestras o 47,5 Hz y las 940 muestras o 52,5 Hz de la tensión de entrada.

El sistema se ajustará a la nueva duración añadiendo o eliminando ciclos de trabajo equidistribuidos entre los 1000 originales. Para los 60 casos, una LUT almacena el índice del primer ciclo de trabajo que se deberá omitir (si se quiere acortar) o repetir (si se quiere alargar). Este valor en la nueva LUT es además el incremento que permite definir los siguientes índices a modificar hasta alcanzar las 1000 posiciones.

4. Experimentación

En este apartado veremos el comportamiento del sistema en varias situaciones. En primer lugar veremos cómo actúa el sistema original en todo el rango de frecuencias para el que se ha desarrollado el nuevo módulo. En segundo lugar veremos cómo actúa el nuevo módulo con sus diferentes configuraciones ante las condiciones nominales del sistema. En tercer lugar se harán las pruebas en condiciones no nominales, para lo cual, únicamente se ha variado la frecuencia de los ciclos de red. En cuarto lugar se verá un caso irreal, pero que se ha querido tener en cuenta de manera teórica, se trata de la respuesta del sistema ante escalones en la frecuencia. Por último, se hará una breve discusión sobre todos los resultados obtenidos en las distintas pruebas realizadas.

Las características del circuito sobre el que se realizan las pruebas son: $L = 5 \text{ mH}$, $C = 68 \text{ }\mu\text{F}$, $P = 300 \text{ W}$, $V_g = 230 \text{ V}$, $V_{out} = 400 \text{ V}$, $f_{ac} = 50 \text{ Hz}$, empleando una FPGA modelo Xilinx XC3S1000-4FT256 y con una fuente de alimentación modelo Pacific Power Source 115-ASX, la cual permite definir variaciones en la frecuencia AC y nos proporciona el factor de potencia del sistema.

4.1. Efecto del cambio de frecuencia en el sistema original

Como se ha explicado antes, el sistema original estaba diseñado para el caso ideal de que el sistema esté siempre trabajando a una frecuencia fija de 50 Hz. El sistema funciona perfectamente bajo las condiciones nominales, pero se ve alterado cuando la frecuencia de los semiciclos varía respecto a la nominal para la cual está diseñado.

De este modo se comprobó qué sucedía si al sistema original se le aplicaban estas variaciones de frecuencia. En la realidad estas variaciones no serán superiores a las establecidas por la normativa: $\pm 4\%$ [-6%] [25].

Frecuencia	48Hz	49Hz	50Hz	51Hz	52Hz
PF	0,780	0,915	0,982	0,942	0,856

Tabla 4-1 Medidas realizadas con el sistema original

Como se observa en la tabla 4.1-1, a la frecuencia de 50 Hz el sistema original posee un factor de potencia de un 0,982, que es un valor por encima del mínimo exigido por [25], pero también se ve como a medida que nos alejamos de esta frecuencia hacia los extremos, este factor se ve drásticamente empeorado, provocando que ya no se obtenga la sinusoide que deseamos como la de la figura 4.1-2, obteniendo algo mucho peor a lo que realmente queremos como se observa en las figuras 4.1-1 y 4.1-3.

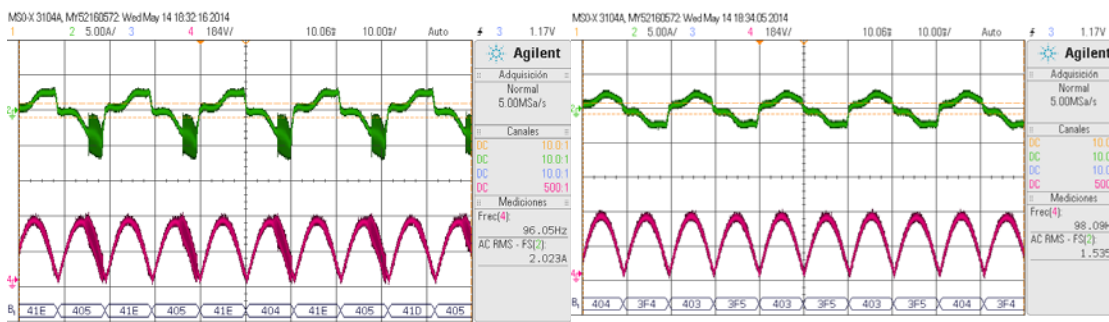


Figura 4-1 Sistema original a 48Hz (izquierda) y 49 Hz (derecha)

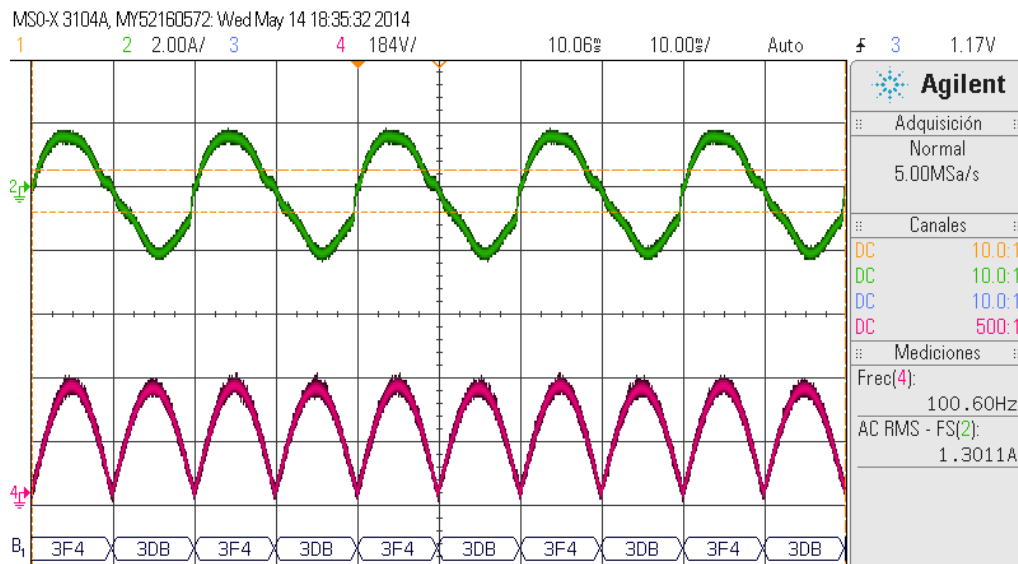


Figura 4-2 Sistema original a 50Hz

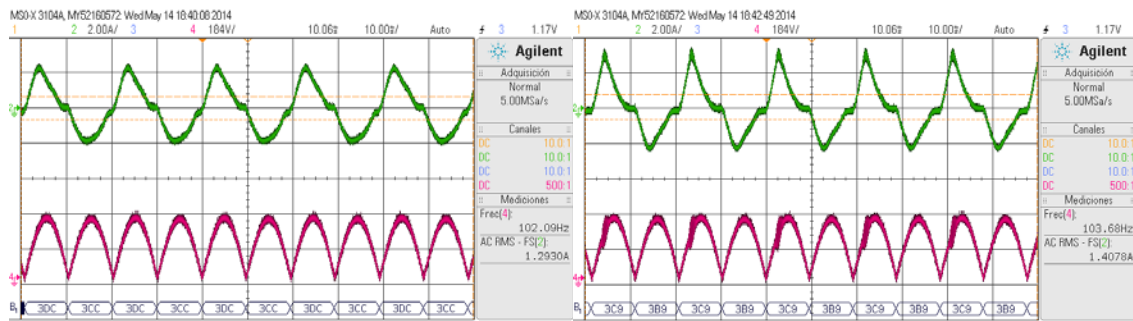


Figura 4-3 Sistema original a 51Hz (izquierda) y 52Hz (derecha)

4.2. Condiciones nominales

Una vez que se han visto los efectos que causa la variación de la frecuencia en el sistema original veremos los efectos que tiene el lazo de frecuencia.

Se han realizado diferentes pruebas en este apartado, con diferentes configuraciones, de manera que se obtienen diferentes resultados del sistema para poder compararlos unos con otros.

La primera prueba se hizo aplicando el lazo de frecuencia utilizando únicamente la última medición. Como se observa en la figura 4.2-1, empeora el factor de potencia respecto al sistema original en la frecuencia de 50 Hz. Recordemos que el lazo de frecuencia estará corrigiendo la duración de un semiciclo positivo con la medida de uno negativo y viceversa. Se observa que el factor de potencia se reduce a 0,950.

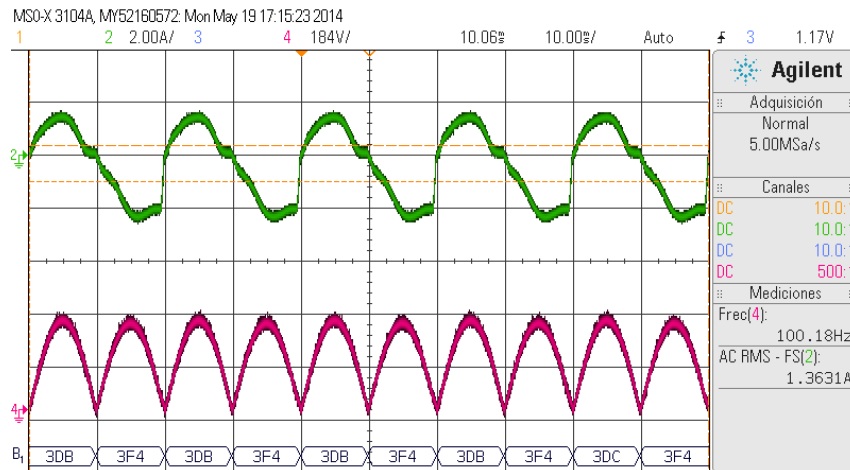


Figura 4-4: Sistema a 50Hz empleando la última medida

La segunda prueba se realizó empleando el lazo frecuencia aplicando la última frecuencia equivalente, lo que quiere decir que en este caso diferenciamos entre semiciclos positivos y negativos, y de este modo estaríamos aplicando la corrección a un semiciclo del mismo tipo que la medida utilizada. Como observamos en la figura 4.2-2 la sinusoide que conseguimos es mejor a la anterior y ésta posee un factor de potencia de 0,995, lo que hace que sea el mejor resultado obtenido hasta el momento.

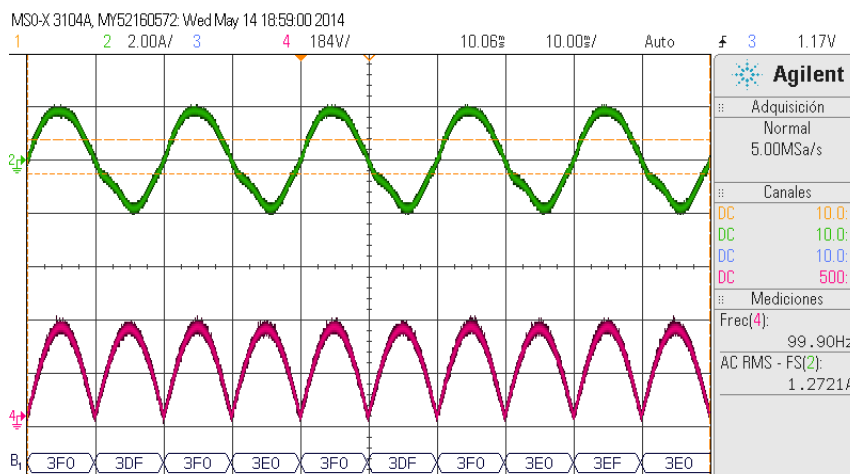


Figura 4-5: Sistema a 50Hz empleando la última medida equivalente

La tercera prueba que se realizó fue emplear la media de un cierto número de medidas del array, de manera que ya no se emplea únicamente la última medida al ciclo actual de trabajo, sin distinguir entre semiciclos positivos y negativos. Se obtiene un factor de potencia de 0,980, que es muy similar al obtenido antes de aplicar nuestro lazo de frecuencia en las condiciones nominales. El resultado se observa en la figura 4.2-3.

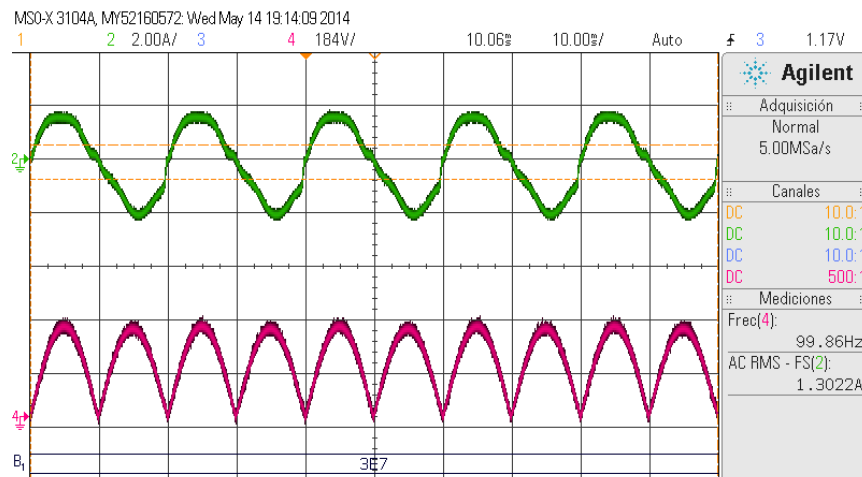


Figura 4-6: Sistema empleando la media de las 2 últimas medidas

Por último, la cuarta prueba, consiste en aplicar de nuevo la media de un determinado número de medidas del array, pero en este caso no se realiza la media de todas las medidas del array, si no que se aplica la media de las duraciones equivalentes al semiciclo sobre el que se está aplicando la corrección de factor de potencia. En la figura 4.2-4, observamos que la senoide obtenida es mucho mejor a la anterior, de manera que se obtiene un factor de corrección de potencia de un 0,993, equivalente al obtenido en la segunda prueba.

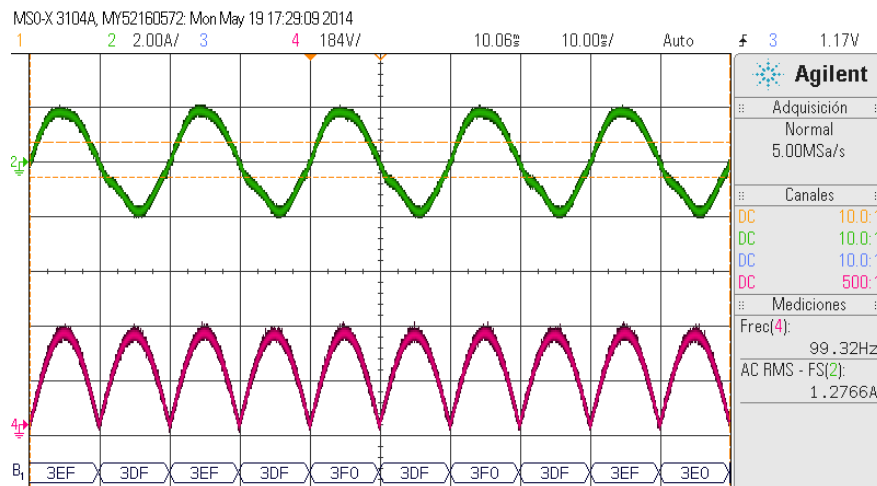


Figura 4-7: Sistema al emplear la media de las 2 últimas medidas equivalentes

Como podemos observar en tabla 4.2-1, en condiciones nominales, los mejores resultados se obtienen aplicando las frecuencias equivalentes al semiciclo sobre el que se actúa. En los casos para los que se aplica la media de varias medidas, se ha comprobado que no afecta a los resultados el aumentar el número de estas.

Método empleado	Factor de potencia
Sistema original sin lazo de frecuencia	0,982
Sistema empleando la última medida calculada	0,950
Sistema empleando la última medida equivalente	0,995
Sistema empleando la media de las últimas medidas	0,980
Sistema empleando la media de las últimas medidas equivalentes	0,993

Tabla 4-2 Resultados del factor de potencia en las distintas configuraciones del sistema

4.3. Condiciones no nominales

En el apartado anterior hemos visto lo que sucede cuando nuestro lazo actúa sobre las condiciones nominales, a 50 Hz de ciclo de red. Pero este nuevo sistema está diseñado para poder soportar variaciones en la frecuencia del sistema de hasta un 6% positiva o negativamente respecto a la frecuencia nominal, de manera que podemos realizar la corrección de factor de potencia dentro del rango de 47,5 Hz hasta los 52,5 Hz.

En esta sección se van a presentar los resultados obtenidos para el rango de frecuencias planteado en la sección 4.1 [48 Hz – 52 Hz] utilizando las cuatro combinaciones de configuración vistas en la sección 4.2.

Para la primera de las pruebas realizadas anteriormente en las condiciones nominales a 50 Hz, el sistema empeoraba respecto a no emplear el nuevo lazo de frecuencia. Pero se comprobó que al aplicar esta prueba a las variaciones de frecuencia de un extremo a otro, el sistema actuaba mucho mejor en esas variaciones de frecuencia que el sistema original. Como se observa en la tabla 4.3-1 y en las gráficas 4.3-1, 4.3-2 y 4.3-3, donde se obtiene un factor de potencia de un 0,951 como valor mínimo.

Frecuencia	48Hz	49Hz	50Hz	51Hz	52Hz
PF	0,960	0,967	0,955	0,951	0,955

Tabla 4-3 Medidas realizadas con el sistema nuevo empleando la última medida calculada

Cuando se aplicó la segunda prueba al sistema, aplicando la última frecuencia equivalente calculada, el sistema demostró poder soportar perfectamente los cambios de frecuencia manteniendo el factor de potencia sobre el 0,990. Los resultados se pueden observar en la tabla 4.3-2 y en las figuras 4.3-4, 4.3-5 y 4.3-6.

Frecuencia	48Hz	49Hz	50Hz	51Hz	52Hz
PF	0,992	0,993	0,995	0,991	0,992

Tabla 4-4 Medidas realizadas con el sistema nuevo empleando la última medida equivalente

Cuando se aplica la tercera prueba, utilizando la media de las frecuencias del array que se le indique a la FPGA, el sistema consiguió mantener prácticamente los mismos resultados que al aplicar el sistema original en las condiciones nominales. De esta manera, esta tercera prueba en las condiciones no nominales, el sistema no baja de un factor de corrección de potencia de un 0,976. Los resultados de la tercera prueba pueden observarse en la tabla 4.3-3 y en las figuras 4.3-7, 4.3-8 y 4.3-9.

Frecuencia	48Hz	49Hz	50Hz	51Hz	52Hz
PF	0,978	0,979	0,980	0,980	0,976

Tabla 4-5 Medidas realizadas con el sistema nuevo empleando la media de las últimas medidas

Cuando finalmente aplicamos la cuarta prueba, aplicando la media de las medidas equivalentes, de nuevo los resultados se ven mejorados respecto a la prueba anterior, y al igual que en la prueba del mismo tipo pero empleando sólo la última frecuencia equivalente, se obtiene un factor de potencia de un 0,992 como mínimo en los extremos a 48 Hz y 52 Hz. Los resultados pueden observarse en la tabla 4.3-4 y en las figuras 4.3-10, 4.3-11 y 4.3-12.

Frecuencia	48Hz	49Hz	50Hz	51Hz	52Hz
PF	0,992	0,993	0,994	0,992	0,993

Tabla 4-6 Medidas realizadas con el sistema nuevo empleando la media de las últimas medidas equivalentes

4.3.1. Capturas utilizando la última medida

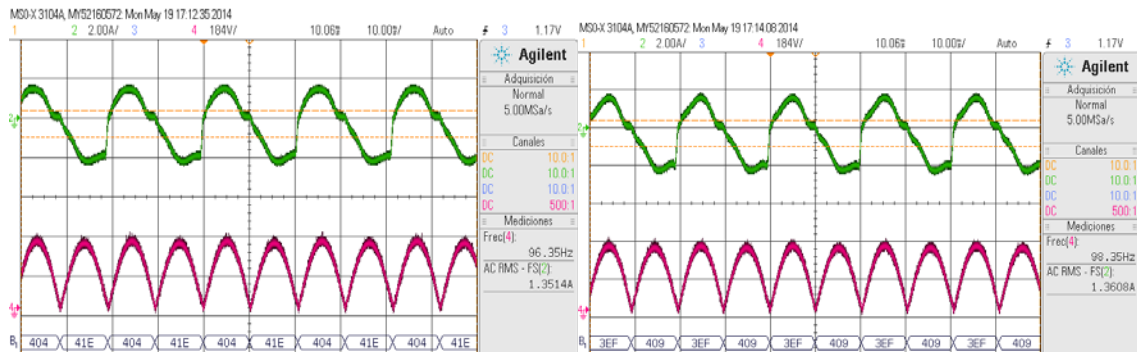


Figura 4-8 Sistema empleando la última medida a 48Hz (izquierda) y 49Hz (derecha)

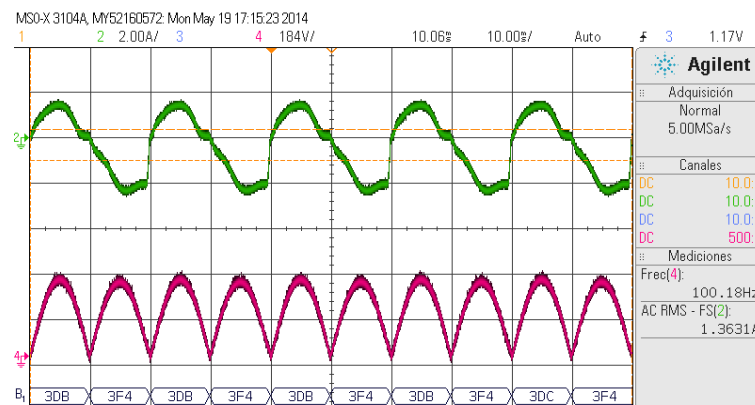


Figura 4-9 Sistema empleando la última medida a 50Hz

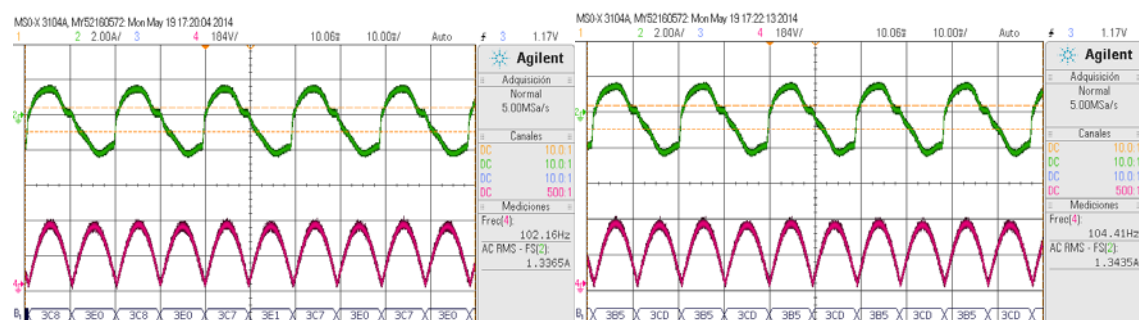


Figura 4-10 Sistema empleando la última medida a 51Hz (izquierda) y 52Hz (derecha)

4.3.2. Capturas utilizando la última medida equivalente

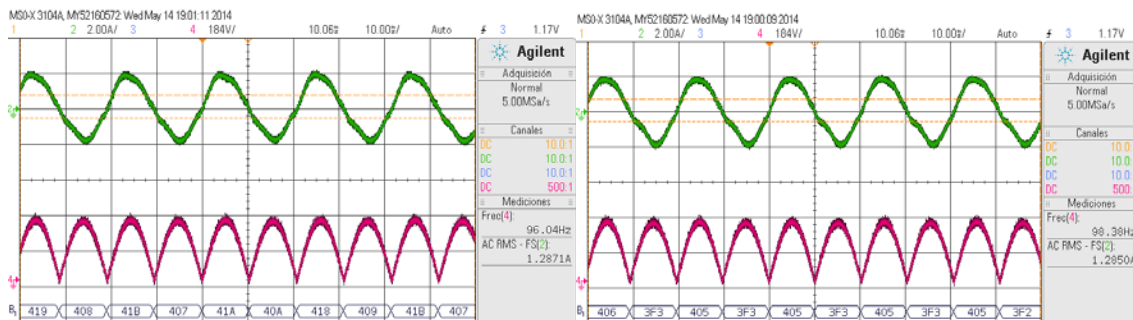


Figura 4-11 Sistema empleando la última medida equivalente a 48Hz (izquierda) y 49Hz (derecha)

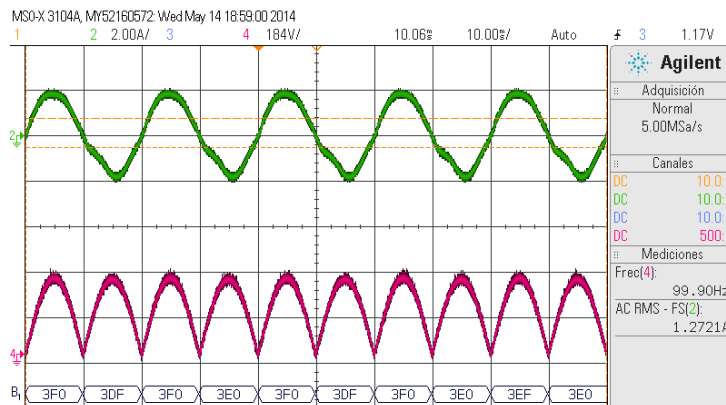


Figura 4-12 Sistema empleando la última medida equivalente a 50Hz

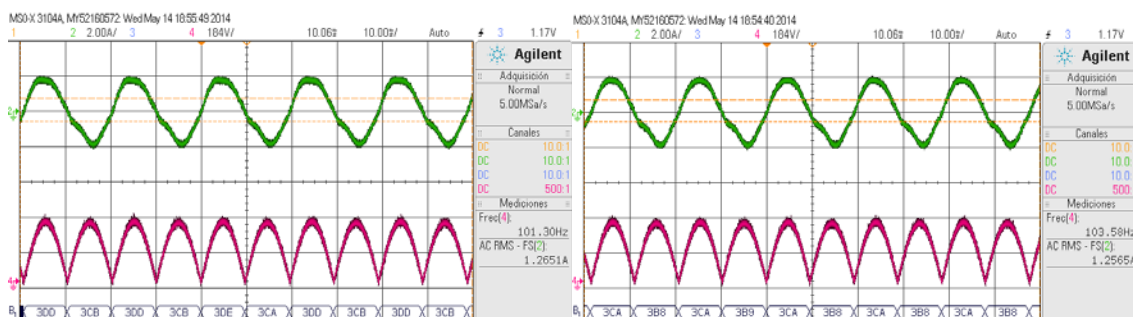


Figura 4-13 Sistema empleando la última medida equivalente a 51Hz (izquierda) y 52Hz (derecha)

4.3.3. Capturas utilizando la media de las últimas medidas

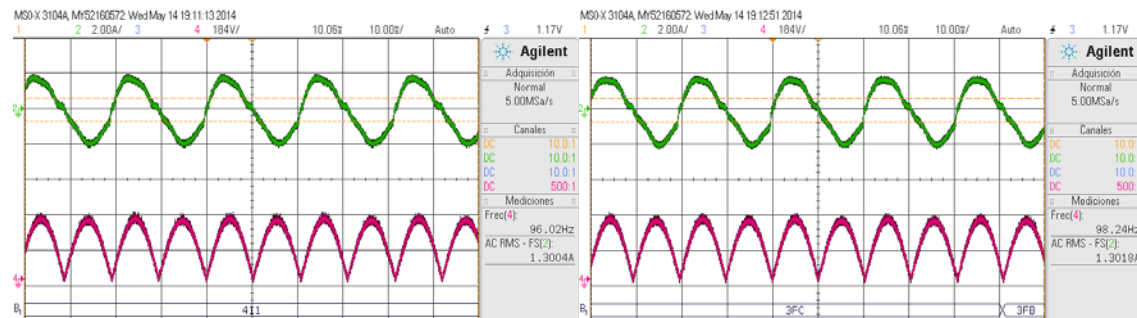


Figura 4-14 Sistema empleando la media de las dos últimas medidas a 48Hz (izquierda) y 49Hz (derecha)

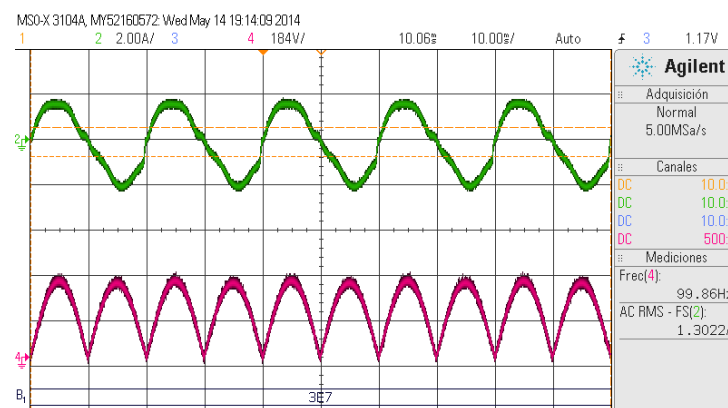


Figura 4-15 Sistema empleando la media de las dos últimas medidas a 50Hz

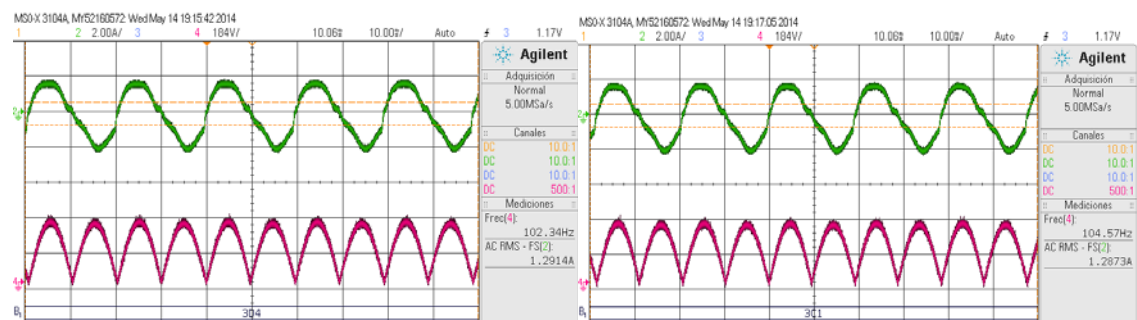


Figura 4-16 Sistema empleando la media de las dos últimas medidas a 51 (izquierda) y 52Hz (derecha)

4.3.4. Capturas utilizando la media de las últimas medidas equivalentes

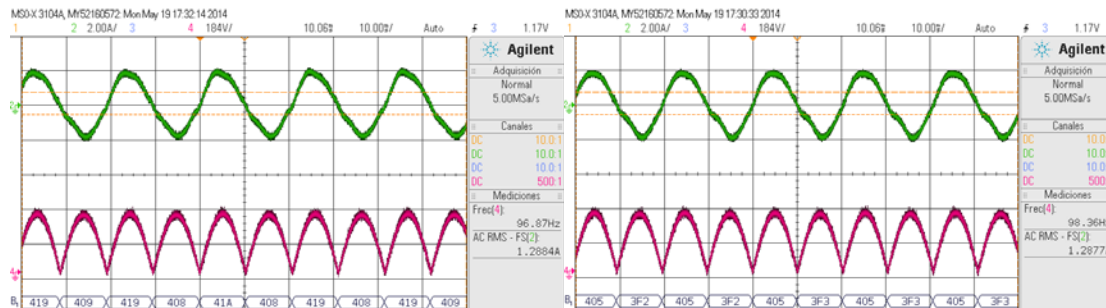


Figura 4-17 Sistema empleando la media de las dos medidas frecuencias equivalentes a 48Hz (izquierda) y 49Hz (derecha)

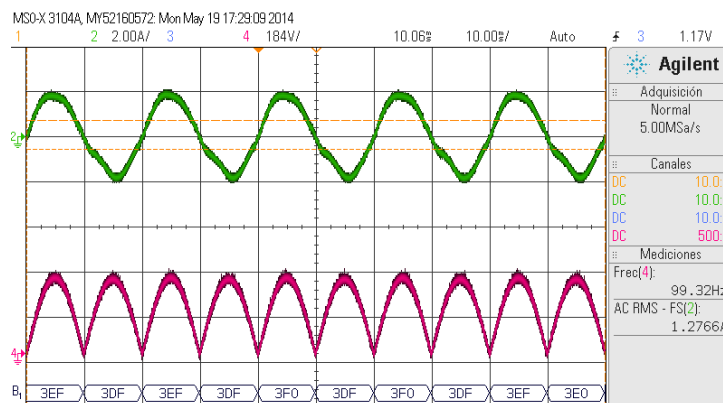


Figura 4-18 Sistema empleando la media de las dos últimas medidas equivalentes a 50Hz

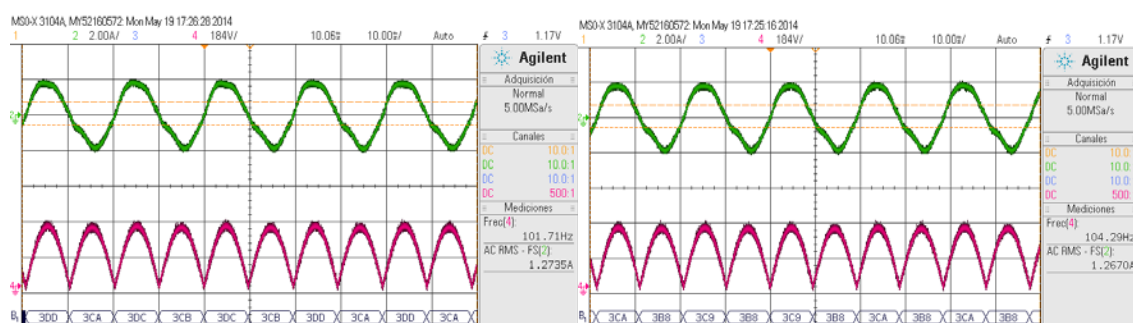


Figura 4-19 Sistema empleando la media de las dos últimas medidas equivalentes a 51Hz (izquierda) y 52Hz (derecha)

4.4. Respuesta frente a un escalón en la frecuencia

Como experimento final se decidió llevar a cabo una prueba de mayor aspecto teórico, que práctico. Se trata de una situación ficticia que no puede darse en la realidad como es un cambio instantáneo en la frecuencia.

Este experimento se centra en ver la velocidad de reacción del sistema frente a un hipotético escalón en la frecuencia de la tensión de entrada. En todos los casos las pruebas se han hecho haciendo pasar la frecuencia de los 51 Hz a los 49 Hz de manera instantánea.

Inicialmente se hace la prueba utilizando la última medida equivalente obteniendo los resultados que se observan en la figura 4.4-1. En ella se puede observar el momento en que la corriente tiene un pico, pero al compensar con la última medida equivalente, el sistema es capaz de adaptarse rápidamente a la nueva frecuencia, volviendo la corriente a un valor sinusoidal.

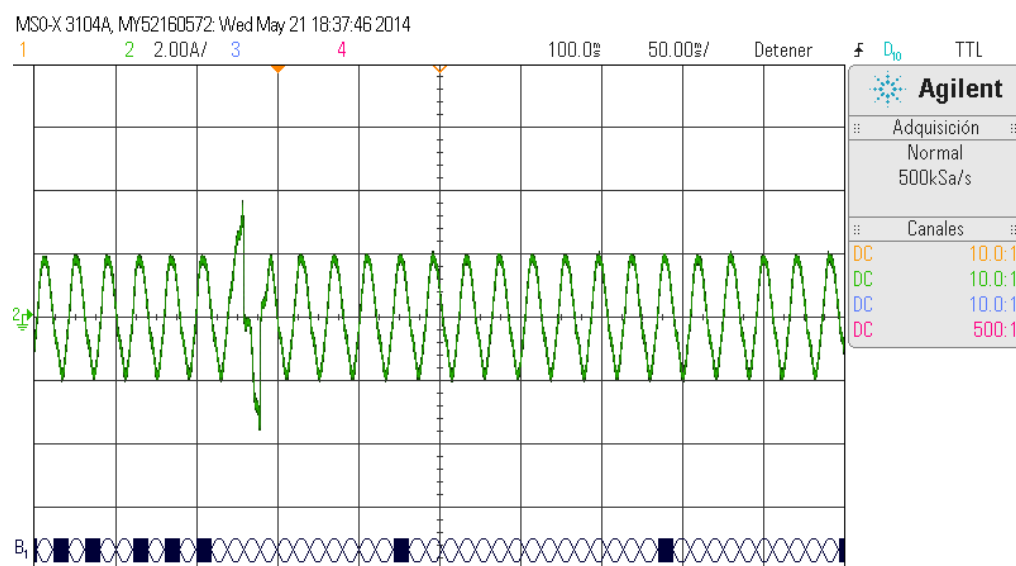


Figura 4-20 Respuesta al escalón empleando la última medida equivalente

Al aumentar el número de valores empleados para realizar la corrección, la velocidad de reacción varía, en este caso, el sistema necesita más tiempo para conseguir adaptarse tras el escalón.

Podemos observar en la figura 4.4-2, como en la primera medida, la salida de la corriente recupera rápidamente su forma sinusoidal, mientras que a medida que se aumenta el número de medidas para realizar la media, el tiempo hasta que la señal se ve adaptada va aumentando.

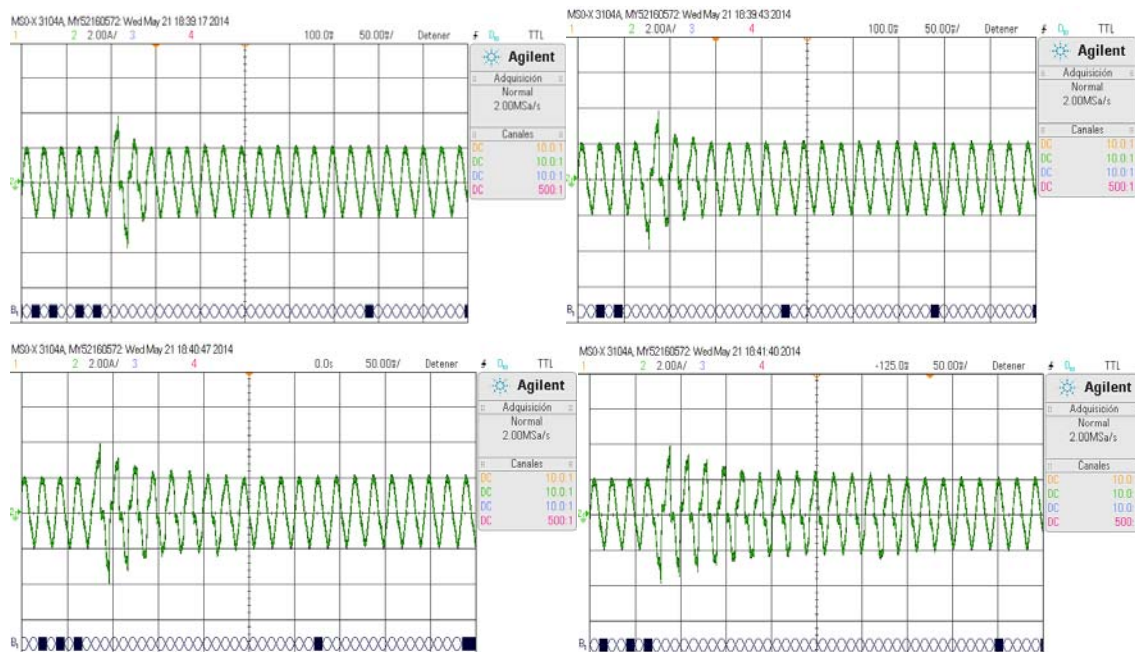


Figura 4-21 Respuestas al escalón empleando 2 (superior izquierda), 4 (superior derecha), 8 (inferior izquierda) y 16 (inferior derecha) medidas equivalentes

Cuando pasamos a emplear la última frecuencia obtenida, sin importar si es la equivalente o no, los resultados son muy diferentes a los obtenidos en el punto anterior. En este caso, como se puede observar en la figura 4.4-3, se consigue también una adaptación muy rápida en la primera prueba por el hecho de sólo estar empleando una única medida para realizar las operaciones de corrección de factor de potencia.

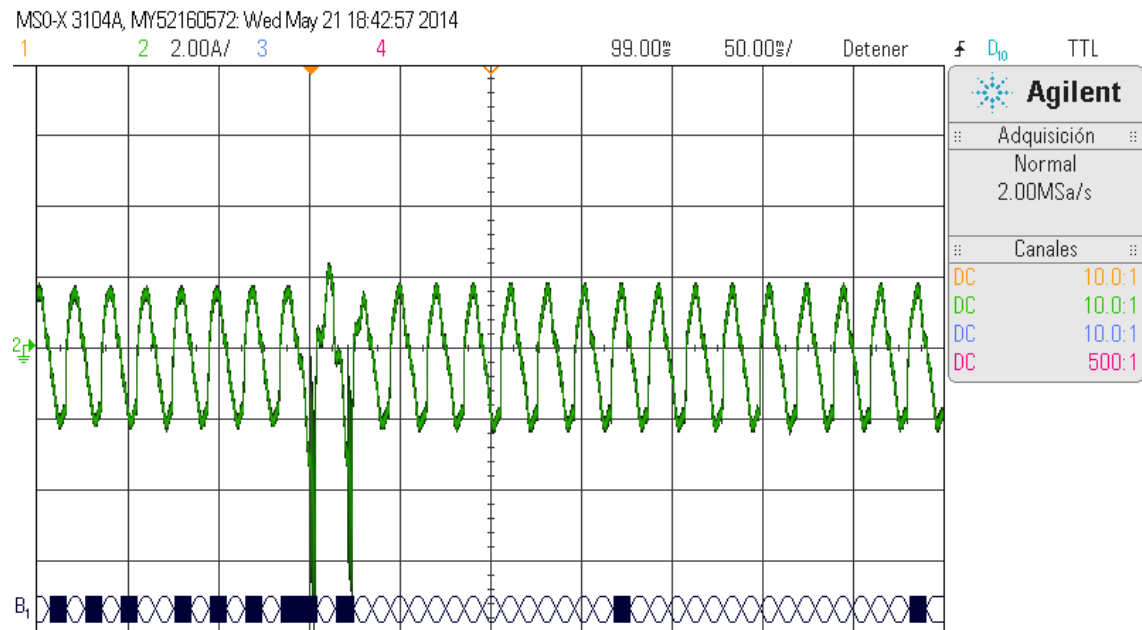


Figura 4-22 Respuesta empleando la última medida

También se observa como hay un pico en la oscilación de la corriente que consigue arreglar y adaptar el sistema rápidamente, este pico puede ser peligroso si es demasiado grande o se mantiene durante demasiado tiempo y puede hacer saltar la protección de la corriente, aunque en este caso no sucede.

Para el resto de pruebas en las que se va aumentando el número de medidas empleadas para la media, al igual que en el caso anterior, el tiempo de adaptación se ve incrementado. El aumentar el número de muestras no evita el pico de corriente, sino que además, hace que se mantenga más tiempo antes de terminar la adaptación, haciendo que sea más peligroso. Los resultados pueden observarse en la figura 4.4-4.

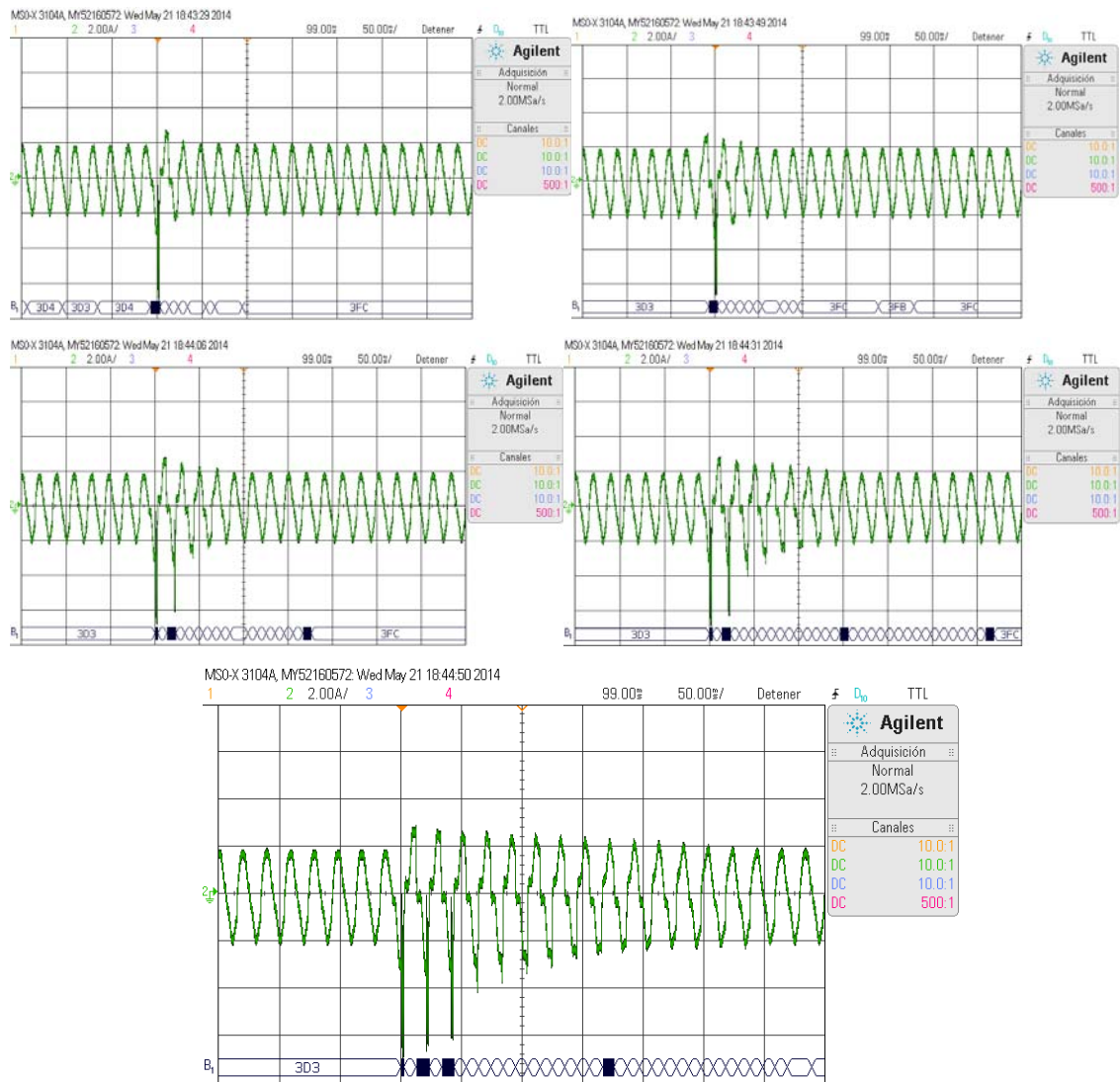


Figura 4-23 Respuestas al cambio empleando 2 (superior izquierda), 4 (superior derecha), 8 (medio izquierda), 16 (medio derecha) y 32 (central inferior) últimas medidas

4.5. Discusión

Tras la realización de todas las pruebas anteriormente mencionadas, hay varios temas sobre los que se puede recalcar para poder sacar unas conclusiones a la hora de decidir cómo obtener los mejores resultados.

A la vista de los resultados obtenidos en todas las pruebas realizadas, y como se puede observar en la tabla 4.5-1, el mejor método para realizar la corrección de factor de potencia mediante el uso de lazo de frecuencia, es emplear la última medida equivalente. El que este método sea el mejor viene dado por varios motivos a tener en cuenta. Es el que mejor factor de potencia ofrece por estar aplicando las medidas a los semiciclos del mismo tipo que éstas. Emplea menos recursos a la hora de realizar los cálculos, no necesita tanta memoria como el caso de emplear la media de las equivalentes. Y además, es mucho más rápido en el cambio instantáneo de frecuencia frente al resto, aparte de ser mucho más seguro.

Frecuencia	48Hz	49Hz	50Hz	51Hz	52Hz
Sistema original	0,780	0,915	0,982	0,942	0,856
Sistema última medida	0,960	0,967	0,955	0,951	0,955
Sistema última medida equivalente	0,992	0,993	0,995	0,991	0,992
Sistema media últimas medidas	0,978	0,979	0,980	0,980	0,976
Sistema media últimas medidas equivalentes	0,992	0,993	0,994	0,992	0,993

Tabla 4-7 Resultados globales de todas las pruebas.

El motivo por el que el mejor resultado tampoco es la de la aplicación de la última medida es debido a que los semiciclos de la tensión de entrada, no tienen la misma longitud, esto es, no son simétricos entre sí. Por lo que al aplicar la corrección, el sistema no se lo aplica a un semiciclo de una duración similar a la medida obtenida.

Por último, es recomendable el uso de un sistema de regulación en frecuencia, ya que puede ayudar a compensar una posible inexactitud en los componentes del sistema, como el reloj de la FPGA, además de que este nuevo módulo no implica un gran coste a añadir.

5. Conclusiones

En este trabajo, se ha estudiado el impacto de la variación en la frecuencia de la tensión de entrada con el uso de un regulador para corrección de factor de potencia con ciclos precalculados. Se ha constatado una penalización en el factor de potencia cuando la frecuencia es distinta a su valor nominal, aun estando dentro del rango permitido por la normativa vigente.

Para compensar la penalización en el factor de potencia se ha desarrollado un módulo que se encarga de compensar las posibles variaciones de frecuencia en la tensión de entrada. Es un método que ha demostrado ser capaz de lidiar con los cambios de frecuencia de manera rápida y eficiente, manteniendo un factor de potencia superior a 0,990 en todo el rango de frecuencias posible. La sencillez del nuevo módulo minimiza el impacto en la implementación final de la FPGA.

Este módulo ha demostrado ser útil no sólo para compensar las variaciones en la frecuencia de la tensión de entrada como también resolver problemas derivados de la falta de simetría en la tensión de entrada, o inexactitud en los componentes del sistema.

Bibliografía

- [1] A. de Castro, P. Zumel, O. Garcia, T. Riesgo, and J. Uceda, "Concurrent and simple digital controller of an ac/dc converter with power factor correction based on an fpga", *Power Electronics, IEEE Transactions on*, vol. 18, pp. 334_343, jan.2003.
- [2] C. Spiazzi, P. Mattavelli, and L. Rossetto, "Power factor preregulators with improved dynamic response", *Power Electronics, IEEE Transactions on*, vol. 12, pp. 343_349, mar 1997.
- [3] S. Buso, P. Mattavelli, L. Rossetto, and G. Spiazzi, "Simple digital control improving dynamic performance of power factor preregulators", *Power Electronics, IEEE Transactions on*, vol. 13, no. 5, pp. 814_823, 1998.
- [4] Y.-T. Feng, G.-L. Tsai, and Y.-Y. Tzou, "Digital control of a single-stage single switch flyback pfc ac/dc converter with fast dynamic response", in *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*, vol. 2, pp.1251_1256, 2001.
- [5] A. Prodic, J. Chen, R. Erickson, and D. Maksimovic, "Digitally controlled low-harmonic rectifier having fast dynamic responses", in *Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE*, vol. 1, pp. 476_482, mar. 2002.
- [6] A. Prodic, J. Chen, D. Maksimovic, and R. Erickson, "Self-tuning digitally controlled low-harmonic rectifier having fast dynamic response", *Power Electronics, IEEE Transactions on*, vol. 18, pp. 420_428, jan. 2003.
- [7] A. Prodic, "Compensator design and stability assessment for fast voltage loops of power factor correction rectifiers", *Power Electronics, IEEE Transactions on*, vol. 22, pp. 1719_1730, sept. 2007.
- [8] S. Buso, S. Fasolo, and P. Mattavelli, "Uninterruptible power supply multiloop control employing digital predictive voltage and current regulators", *Industry Applications, IEEE Transactions on*, vol. 37, pp. 1846_1854, nov.-dec. 2001.
- [9] P. Mattavelli, G. Spiazzi, and P. Tenti, "Predictive digital control of power factor preregulators with input voltage estimation using disturbance observers", *Power Electronics, IEEE Transactions on*, vol. 20, pp. 140_147, jan. 2005.
- [10] W. Stefanutti, P. Mattavelli, G. Spiazzi, and P. Tenti, "Digital control of singlephase power factor preregulators based on current and voltage sensing at switch terminals", *Power Electronics, IEEE Transactions on*, vol. 21, pp. 1356_1363, sep. 2006.
- [11] B. Mather and D. Maksimovic and, "A simple digital power-factor correction rectifier controller", *Power Electronics, IEEE Transactions on*, vol. 26, pp. 9_19, jan. 2011.
- [12] A. Pandey, B. Singh, and D. Kothari, "A novel dc bus voltage sensorless PFC rectifier with improved voltage dynamics", in *IECON 02 [Industrial Electronics Society, IEEE 2002 28th Annual Conference of the]*, vol. 1, pp. 226_228, nov.2002.

- [13] K. Hwu, H. Chen, and Y. Yau, "Fully-digitalized implementation of pfc rectifier in ccm without adc", in Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE, pp. 1464_1469, march 2011.
- [14] K. Hwu, H. Chen, and Y. Yau, "Fully digitalized implementation of pfc rectifier in ccm without adc", Power Electronics, IEEE Transactions on, vol. 27, pp. 4021_4029, sept. 2012.
- [15] A. Patel and M. Ferdowsi, "Current sensing for automotive electronics - a survey", Vehicular Technology, IEEE Transactions on, vol. 58, pp. 4108_4119, oct. 2009.
- [16] S. Ziegler, R. Woodward, H.-C. lu, and L. Borle, "Current sensing techniques: A review", Sensors Journal, IEEE, vol. 9, pp. 354_376, apr. 2009.
- [17] M. Rodriguez, V. Lopez, F. Azcondo, J. Sebastian, and D. Maksimovic, "Average inductor current sensor for digitally controlled switched-mode power supplies", Power Electronics, IEEE Transactions on, vol. 27, pp. 3795_3806, aug. 2012.
- [18] H.-C. Chen, "Single-loop current sensorless control for single-phase boost-type SMR", Power Electronics, IEEE Transactions on, vol. 24, pp. 163_171, jan. 2009.
- [19] H.-C. Chen, C.-C. Lin, and J.-Y. Liao, "Modified single-loop current sensorless control for single-phase boost-type SMR with distorted input voltage", Power Electronics, IEEE Transactions on, vol. 26, pp. 1322_1328, may 2011.
- [20] I. Merfert, "Analysis and application of a new control method for continuous mode boost converters in power factor correction circuits," in Power Electronics Specialists Conference, 1997. PESC '97 Record, 28th Annual IEEE, vol. 1, pp. 96_102, jun. 1997.
- [21] I. W. Merfert, "Stored-duty-ratio control for power factor correction," in Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual, vol. 2, pp. 1123_1129, mar. 1999.
- [22] W. Zhang, G. Feng, Y.-F. Liu, and B. Wu, "A digital power factor correction (pfc) control strategy optimized for dsp", Power Electronics, IEEE Transactions on, vol.19, pp. 1474_1485, nov. 2004.
- [23] W. Zhang, Y.-F. Liu, and B. Wu, "A new duty cycle control strategy for power factor correction and FPGA implementation", Power Electronics, IEEE Transactions on, vol. 21, pp. 1745_1753, nov. 2006.
- [24] Alberto Sánchez González, "Aportaciones mediante implementación en sistemas embebidos al control digital de convertidores conmutados", jun. 2013.
- [25] UNE-EN 50160: Voltage characteristics of electricity supplied by public electricity networks, International Organization of Standardization Std., March 2011.

ANEXO A

Código del nuevo módulo:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
use IEEE.NUMERIC_STD.ALL;

entity Selector is
    port(
        signal Clk : in std_logic;
        signal Reset : in std_logic;
        signal Restart : in std_logic;
        signal EnableLazofrecuencia : in std_logic;
        signal Todas : in std_logic;
        signal num_freq : in std_logic_vector(2 downto 0);
        signal LastFrecuencia : out std_logic_vector(10 downto 0);
        signal NewAddress: out std_logic_vector(9 downto 0)
    );
end Selector;

architecture Behavioral of Selector is
    signal signo : std_logic;
    signal Modif: std_logic_vector(5 downto 0);
    signal MemAux: std_logic_vector(9 downto 0);
    signal InitValue: std_logic_vector(9 downto 0);
    signal a: integer;
    signal fin: integer;
    signal b: integer;
    signal count: integer;
    signal count2: integer;
    signal countSwitching : std_logic_vector (9 downto 0);
    signal addrMem : std_logic_vector (9 downto 0);
    signal addrMemDebug : std_logic_vector (9 downto 0);
    signal FrecCalculada : std_logic_vector (15 downto 0);
    signal FrecMedia : std_logic_vector (10 downto 0);
    type t_Frec_array is array (0 to 31) of std_logic_vector (15 downto 0);
    signal Frec_Array : t_Frec_array;

    begin

        process(Clk,Reset)
            variable s_aux : std_logic_vector (15 downto 0);
            variable frecaux : std_logic_vector (15 downto 0);
            begin
                if Reset = '1' then
                    s_aux := "0000000000000000";
                    Modif<= "000000";
                elsif rising_edge(Clk) then
                    if Restart = '1' then
                        s_aux := "0000001111101000" - FrecMedia;
                        signo <= s_aux(10);
                        if s_aux(10)='1' then
                            s_aux := FrecMedia - "0000001111101000";
                        end if;
                    end if;
                end if;
            end
        end process;
    end
end Behavioral;
```

```

Modif <= s_aux(5 downto 0);
    end if;
end if;
end process;

WITH Modif SELECT
InitValue <= "0111110100" WHEN "000001" ,
    "0101001101" WHEN "000010" ,
    "0011111010" WHEN "000011" ,
    "0011001000" WHEN "000100" ,
    "0010100110" WHEN "000101" ,
    "0010001110" WHEN "000110" ,
    "0001111101" WHEN "000111" ,
    "0001101111" WHEN "001000" ,
    "0001100100" WHEN "001001" ,
    "0001011010" WHEN "001010" ,
    "0001010011" WHEN "001011" ,
    "0001001100" WHEN "001100" ,
    "0001000111" WHEN "001101" ,
    "0001000010" WHEN "001110" ,
    "0000111110" WHEN "001111" ,
    "0000111010" WHEN "010000" ,
    "0000110111" WHEN "010001" ,
    "0000110100" WHEN "010010" ,
    "0000110010" WHEN "010011" ,
    "0000101111" WHEN "010100" ,
    "0000101101" WHEN "010101" ,
    "0000101011" WHEN "010110" ,
    "0000101001" WHEN "010111" ,
    "0000101000" WHEN "011000" ,
    "0000100110" WHEN "011001" ,
    "0000100101" WHEN "011010" ,
    "0000100011" WHEN "011011" ,
    "0000100010" WHEN "011100" ,
    "0000100001" WHEN "011101" ,
    "0000100000" WHEN "011110" ,
    "0000011111" WHEN "011111" ,
    "0000011110" WHEN "100000" ,
    "0000011101" WHEN "100001" ,
    "0000011100" WHEN "100010" ,
    "0000011011" WHEN "100011" ,
    "0000011010" WHEN "100100" ,
    "0000011010" WHEN "100101" ,
    "0000011001" WHEN "100110" ,
    "0000011001" WHEN "100111" ,
    "0000011000" WHEN "101000" ,
    "0000010111" WHEN "101001" ,
    "0000010111" WHEN "101010" ,
    "0000010110" WHEN "101011" ,
    "0000010110" WHEN "101100" ,
    "0000010101" WHEN "101101" ,
    "0000010101" WHEN "101110" ,
    "0000010100" WHEN "101111" ,
    "0000010100" WHEN "110000" ,
    "0000010100" WHEN "110001" ,
    "0000010011" WHEN "110010" ,
    "0000010011" WHEN "110011" ,

```

```

"0000010010" WHEN "110100" ,
"0000010010" WHEN "110101" ,
"0000010010" WHEN "110110" ,
"0000010001" WHEN "110111" ,
"0000010001" WHEN "111000" ,
"0000010001" WHEN "111001" ,
"0000010000" WHEN "111010" ,
"0000010000" WHEN "111011" ,
"0000010000" WHEN "111100" ,
"1111111111" WHEN OTHERS;

process (clk, reset)
begin
    if reset = '1' then
        countSwitching <= (others => '0');
    elsif rising_edge(clk) then
        if restart = '1' then
            countSwitching <= (others => '0');
        elsif countSwitching < x"3E7" then
            countSwitching <= countSwitching + 1;
        else
            countSwitching <= (others => '0');
        end if;
    end if;
end process;

process (clk, reset)
begin
    if reset = '1' then
        FrecCalculada <= "0000001111101000";
    elsif rising_edge(clk) then
        if restart = '1' then
            FrecCalculada <= "0000000000000000";
        else
            if countSwitching = x"3E6" then
                FrecCalculada <= FrecCalculada + '1';
            end if;
        end if;
    end if;
end process;

process (clk, reset)
variable i: integer;
begin
    if reset = '1' then
        for i in 0 to 31 loop
            Frec_Array(i) <= "0000001111101000";
        end loop;
    elsif rising_edge(clk) then
        if restart = '1' then
            for i in 0 to 30 loop
                Frec_Array(31-i) <= Frec_Array(30-i);
            end loop;
            Frec_Array(0) <= FrecCalculada;
        end if;
    end if;
end process;

```

```

process (clk, reset)
variable faux : std_logic_vector (15 downto 0);
variable conteo: integer;
variable faux2 : unsigned(15 downto 0);
begin
    if rising_edge(clk) then
        if Todas='0' then
            case num_freq is
                when "000"    => FrecMedia <= Frec_Array(1)(10 downto 0);
                when "001"    =>      faux := (Frec_Array(0)+Frec_Array(1));
                conteo:=1;
                faux2 := shift_right(unsigned(faux),conteo);
                FrecMedia <= std_logic_vector(faux(11 downto 1));
                when "010"    =>      faux
                :=Frec_Array(0)+Frec_Array(1)+Frec_Array(2)+Frec_Array(3);
                conteo:=2;
                faux2 := shift_right(unsigned(faux),conteo);
                FrecMedia <= std_logic_vector(faux2(10 downto 0));
                when "011"    =>      faux
                :=Frec_Array(0)+Frec_Array(1)+Frec_Array(2)+Frec_Array(3)
                +Frec_Array(4)+Frec_Array(5)+Frec_Array(6)+Frec_Array(7);
                conteo:=3;
                faux2 := shift_right(unsigned(faux),conteo);
                FrecMedia <= std_logic_vector(faux2(10 downto 0));
                when "100"    =>      faux
                :=Frec_Array(0)+Frec_Array(1)+Frec_Array(2)+Frec_Array(3)+
                Frec_Array(4)+Frec_Array(5)+Frec_Array(6)+Frec_Array(7)+
                Frec_Array(8)+Frec_Array(9)+Frec_Array(10)+Frec_Array(11)+
                Frec_Array(12)+Frec_Array(13)+Frec_Array(14)+Frec_Array(15);
                conteo:=4;
                faux2 := shift_right(unsigned(faux),conteo);
                FrecMedia <= std_logic_vector(faux2(10 downto 0));
                when others    =>      faux
                :=Frec_Array(0)+Frec_Array(1)+Frec_Array(2)+Frec_Array(3)+
                Frec_Array(4)+Frec_Array(5)+Frec_Array(6)+Frec_Array(7)+
                Frec_Array(8)+Frec_Array(9)+Frec_Array(10)+Frec_Array(11)+
                Frec_Array(12)+Frec_Array(13)+Frec_Array(14)+Frec_Array(15)+
                Frec_Array(16)+Frec_Array(17)+Frec_Array(18)+Frec_Array(19)+
                Frec_Array(20)+Frec_Array(21)+Frec_Array(22)+Frec_Array(23)+
                Frec_Array(24)+Frec_Array(25)+Frec_Array(26)+Frec_Array(27)+
                Frec_Array(28)+Frec_Array(29)+Frec_Array(30)+Frec_Array(31);
                conteo:=5;
                faux2 := shift_right(unsigned(faux),conteo);
                FrecMedia <= std_logic_vector(faux2(10 downto 0));
            end case;
        elsif Todas='1' then
            case num_freq is
                when "000"    => FrecMedia <= Frec_Array(0)(10 downto 0);
                when "001"    =>      faux := (Frec_Array(0)+Frec_Array(2));
                conteo:=1;
                faux2 := shift_right(unsigned(faux),conteo);
                FrecMedia <= std_logic_vector(faux(11 downto 1));--- cojo 2
                when "010"    =>      faux
                :=Frec_Array(0)+Frec_Array(2)+Frec_Array(4)+Frec_Array(6);
                conteo:=2;
                faux2 := shift_right(unsigned(faux),conteo);
            end case;
        end if;
    end if;
end process;

```



```

        FrecMedia <= std_logic_vector(faux2(10 downto 0));
        when "011"      =>      faux
        :=Frec_Array(0)+Frec_Array(2)+Frec_Array(4)+Frec_Array(6)
        +Frec_Array(8)+Frec_Array(10)+Frec_Array(12)+Frec_Array(14);
        conteo:=3;
        faux2 := shift_right(unsigned(faux),conteo);
        FrecMedia <= std_logic_vector(faux2(10 downto 0));
        when others      =>      faux
        :=Frec_Array(0)+Frec_Array(2)+Frec_Array(4)+Frec_Array(6)
        +Frec_Array(8)+Frec_Array(10)+Frec_Array(12)+Frec_Array(14)+Frec_Array(16)
        +Frec_Array(18)+Frec_Array(20)+Frec_Array(22)+Frec_Array(24)+
        Frec_Array(26)+Frec_Array(28)+Frec_Array(30);
        conteo:=4;
        faux2 := shift_right(unsigned(faux),conteo);
        FrecMedia <= std_logic_vector(faux2(10 downto 0));
    end case;
end if;
end if;
end process;

process(Clk,Reset)
begin
if rising_edge(clk) then

        if restart = '1' then
            LastFrecuencia <= FrecMedia;
        end if;end if;

end process;

a<=to_integer(unsigned(InitValue));
b<=to_integer(unsigned(Modif));

process(Clk,Reset)
variable a_aux : integer;
variable m_aux : std_logic_vector (9 downto 0);
begin
        if reset = '1' then
            addrMem <= (others => '0');
            addrMemDebug <= (others => '0');
            MemAux<= "0000000000";
            m_aux:= "0000000000";
            count<= 0;
            count2<= 2;
        elsif rising_edge(clk) then
            if restart = '1' then
                addrMem <= (others => '0');
                addrMemDebug <= (others => '0');
                MemAux<= "0000000000";
                m_aux:= "0000000000";
                count<= 0;
                count2<= 0;
                a_aux:=a;
            else
                if EnableLazoFrecuencia='0' then
                    if countSwitching = x"3E6" then
                        if addrMem< x"3E7" then

```

```

                                addrMem <= addrMem + 1;
                                end if;
                                addrMemDebug <= addrMemDebug + 1;
                                end if;
elseif EnableLazoFrecuencia='1' then

                                if countSwitching = x"3E6" then
                                    if m_aux<"1111100111" then
                                        if count=a_aux and count/=0 and
                                        InitValue/="0000000000" and count2/=b then

                                            if signo='0' then
                                                MemAux<= MemAux+"10";
                                                m_aux:= m_aux+"10";
                                            else
                                                MemAux <= MemAux+'0';
                                                m_aux := m_aux+'0';
                                            end if;
                                            a_aux:=a+a_aux;
                                            count2<=count2+1;
                                            count<=count+1;
                                            else
                                                MemAux<= MemAux +'1';
                                                m_aux:= m_aux +'1';
                                                count<=count+1;
                                            end if;
                                        end if;
                                    end if;
                                end if;
                            end if;
                        end if;
                    end if;
                end if;
            end process;

NewAddress <= MemAux when EnableLazofrecuencia = '1' else addrMem;

end Behavioral;

```

ANEXO B

Publicación relacionada:

F. López-Colino, A. Sanchez, G. Alvarez, A. de Castro & J. Garrido, "Handling Input Voltage Frequency Variations in Power Factor Correctors with Precalculated Duty Cycles", 15th IEEE Workshop on Control and Modeling for Power Electronics, Santander, Spain, jun 2014.

Handling input voltage frequency variations in power factor correctors with precalculated duty cycles

Fernando López-Colino, Alberto Sanchez, Gabriel Alvarez, Angel de Castro, Javier Garrido
Human Computer Technology Laboratory, Dpt. TEC, EPS
Universidad Autónoma de Madrid
Madrid, Spain

Abstract—The use of precalculated duty cycles for power factor correction leads to a significant simplification of the design and a reduction of the final cost. There are previous proposals for handling non-nominal conditions such as input voltage or load variations. However, there are no proposals for handling input frequency variations, which have an important impact in the power factor. This paper measures this impact and includes a simple loop to handle the variations of the input frequency. The results show that the introduction of this loop keeps the power factor values around those obtained in nominal conditions.

Keywords—PFC; FPGA; Frequency robustness

I. INTRODUCTION

The initial approach to power factor correction (PFC) implies sensing both the input and output voltages and the input current. Analog proposals have provided cheap and functional solutions for several years. However, the lowering of prices of digital devices and their ease of use have increased their application to PFC. Digital solutions rely on different type of devices for this task. Literature shows examples of the utilization of microcontrollers [1], digital signal processors [2] and FPGAs [3] for solving PFC.

Although digital devices have demonstrated enough capability for dynamically calculating the actuation in real time [4], these solutions require different analog to digital converters, increasing the cost of the digital solution. To reduce costs and to simplify the design of the controller, several works avoid input current measurement by using input and output voltage information [5, 6, 7]. Literature also presents examples of current measurement avoidance by means of precalculating the duty cycles and detecting the zero-crossing of the input voltage to synchronize the controller.

Several authors have proposed different solutions using the precalculated approach. In [8, 9], a set of eight different precalculated vectors is used to handle output voltage variations. The solution proposed in [10] generates the duty cycle values for a half-line period in the previous one, considering the input and output voltages measured during the last period. Finally, in [11] the duty cycle values are divided into three different factors. These factors are modified

considering the output voltage measurement to handle some variations from nominal values.

Previous works focused on handling variations in the output voltage due to load or input voltage changes while preserving the power factor. This work focuses on the performance of a precalculated system when the frequency of the input voltage differs from the nominal value. The standard EN50160 [12] describes the low-voltage supply characteristics. The power frequency for interconnected supply systems is $50 \text{ Hz} \pm 1\%$ during 99.5 % of a year and a frequency of $50 \pm 4\%$ / - 6 % during 100 % of the time. Although frequency changes are small, they have an important impact in the obtained power factor using precalculated techniques.

This paper is divided as follows. Section II describes the modifications made to a precalculated duty cycle regulator to handle frequency variations. Section III shows the experiments performed with the new implementation. Section IV presents a discussion about the obtained results. Finally, section V summarizes this work.

II. DEVELOPMENT

This work improves the functionality of the precalculated duty cycle regulator presented in [11]. This regulator has been created for controlling a boost converter. This regulator has been designed to be implemented using a 100 MHz FPGA. The relation between the clock period (10 ns) and the utility period (10 ms) is 10^6 . The same relation must be fulfilled between the number of PWM cycles and the number of clock pulses per PWM cycle. The chosen PWM resolution is 1000 clock pulses. Hence, the nominal utility period is divided into 1000 PWM cycles. For each of these cycles, the PWM duty cycle has been calculated and stored in a look-up-table (LUT). The restart of the precalculated sequence of duty cycles has to be synchronized to the start of a new utility period. This is achieved thanks to a comparator module. This module measures the time that the rectified input voltage (V_s) is below a defined threshold. Considering the symmetry of V_s the zero-crossing instant occurs at the half of the measured period. Using this information, the regulator generates a synchronization signal which restarts the indexation of the LUT. Fig. 1 shows a simplified diagram of the existing PFC controller.

This work has been supported by the Spanish Ministerio de Ciencia e Innovación under project TEC2013-43017-R.

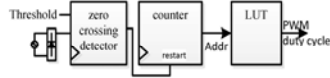


Fig. 1. Diagram of the existing controller for PFC.

The proposal of this paper is to include a frequency loop to modify the number of precalculated duty cycles applied in each utility period. This frequency loop measures the time between consecutive restart signals to measure the duration of the utility period. These measurements are recorded into a 32 position shift register. The regulator can be configured to consider the last measurement or the average of a set of them (2, 4, 8, 16, 32). Also the regulator can be configured to use all of them or segregate the positive utility periods from the negative utility periods. These two options, the number of utility periods considered and the segregation of positive from negative, can be freely combined. This information defines the number of PWM cycles that must be applied to the utility period. The difference between this measurement and the nominal value (1000) is the number of PWM cycles that must be removed (for higher frequencies) or inserted (for lower frequencies). The absolute value of this difference is in the range [0, 60], corresponding to the variation of a 6% of the frequency. The module equally distributes the positions where the PWM cycles are to be removed or inserted. For this task, the new module uses a LUT which stores, for each value of this difference the index of the first PWM cycle to be modified. The list of PWM cycles indexes to be modified is obtained adding the stored value to the last modified index. The position of these indexes within the original vector is depicted in Fig. 2.

When the frequency of the input voltage is higher than the nominal value, the module must remove PWM cycles. Therefore, the frequency regulation module will skip the PWM duty cycle corresponding to the ones included in the list presented before. Otherwise, when the frequency of the input voltage is lower than the nominal value, the module must insert new PWM duty cycles. These new duty cycles are repetitions of those cycles that are in the list of the indexes to be modified. As it is depicted in Fig. 3, the modifications to the existing PFC controller are minimal. The former counter is replaced by the frequency regulation module which uses the same information as the counter and provides the address of the PWM duty cycle to be retrieved from the same LUT.

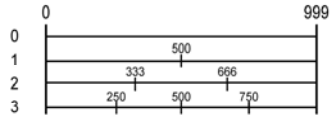


Fig. 2. Diagram of the controller for PFC including the new module for frequency regulation.

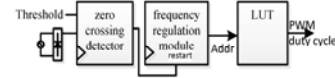


Fig. 3. Diagram of the controller for PFC including the new module for frequency regulation.

The proposed solution requires less resources than storing different duty cycle vector for the different frequencies that the input voltage may present. This modification is also simpler than dynamically generating a new duty cycle vector for the new frequency. This modification would require the access to the original LUT information to interpolate the value of the new duty cycle to be inserted or to modify several duty cycle values to smooth the removal of one.

III. EXPERIMENTS

The experiments have been carried out over a boost converter ($L = 5 \text{ mH}$, $C = 68 \text{ }\mu\text{F}$, $P = 300 \text{ W}$, $V_g = 230 \text{ V}$, $V_{out} = 400 \text{ V}$, $f_{sw} = 100 \text{ kHz}$). The controller has been implemented using an FPGA Xilinx XC3S1000-4FT256. The clock frequency of the system is 100 MHz. The utility period has been divided into 1000 PWM cycles. For each of these cycles, the PWM may be set to a duty cycle from 0 to 999. The values of the 1000 switching cycles have been precalculated offline and stored in the FPGA.

The power source used in the experiments is a Pacific Power Source 115-ASX. This power source not only allows modification of the AC frequency provided to the converter but it also provides a real time measurement of the power factor.

The experiment has measured the power factor of the boost converter when the AC frequency has been set to the nominal value (50 Hz) and also modified to a $\pm 2\%$ and a $\pm 4\%$. For each of these five different frequencies, Table I shows the PF obtained using:

- The original precalculated regulator, which applies a precalculated duty cycle controller without any frequency correction.
- The frequency loop modifying the duty cycle vector considering the frequency measured in the last utility period.
- The frequency loop modifying the duty cycle vector considering the frequency measured in the last equivalent utility period (segregating the positive utilities from the negative ones).
- The frequency loop modifying the duty cycle vector considering the average between the last two utility periods (one positive and one negative).

A second experiment evaluated the use of the average value of a larger set of measurements. The measured frequency value in steady state has a variability of 0.1 %. This variation implies the addition or subtraction of only one duty cycle. This little variation is not significant to modify the resulting average.

TABLE I. THIS TABLE PRESENTS THE POWER FACTOR VALUES FOR THE DIFFERENT INPUT VOLTAGE FREQUENCIES (NOMINAL, $\pm 2\%$ AND $\pm 4\%$) AND THE FOUR PROPOSED CONTROLLING METHODS

	Input Voltage Frequency				
	48 Hz	49 Hz	50 Hz	51 Hz	52 Hz
Former precalculated PFC controller	0.78	0.915	0.982	0.942	0.856
Freq. loop using last measure	0.96	0.97	0.955	0.969	0.96
Freq. loop using last equivalent measure	0.992	0.992	0.995	0.992	0.992
Freq. loop using the average of the last two measures	0.98	0.98	0.98	0.98	0.977

Therefore, the results of this experiment have not been included in the paper.

IV. DISCUSSION

The first point of discussion is the performance of the four methods in nominal conditions. Fig. 4 shows the current measures and the duration of each utility period. Theoretically, the original controller should provide the best PF values in nominal conditions. However, as it was presented in Table I, the original controller provides a PF of 0.982 and the option c) which includes the frequency loop using the last equivalent measure provides a PF of 0.995.

It can be observed in Fig. 3a that the duration of consecutive utility periods is not the same, being 1012 PWM cycles for the positive utility periods and 987 PWM cycles for the negative utility periods. This controller was designed for utility periods lasting 1000 PWM cycles. Therefore, a $\pm 1\%$ error is being introduced. When the frequency loop uses the last measured information is applying 987 PWM cycles for a utility period that lasts 1012 PWM cycles, the error is duplicated. For this reason, the results of this option (Fig. 3b) are even worse than the ones obtained using the original regulator. The best result is obtained when the frequency loop uses the values obtained measuring the previous equivalent utility period. In this case, the controller adapts the original 1000 PWM cycles vector to the new frequency, repeating some of them to achieve 1012 cycles or removing some to achieve 987 cycles. Finally, when the frequency loop uses the average value of the last two utility periods (Fig. 4c shows a value of 999), the frequency loop only removes one PWM cycle from the original vector. This modification shows no significant modification to the PF compared to the result obtained with the former controller, as it is using the same number of PWM cycles for the utility period.

This lack of symmetry is usually observed when using AC power sources. The difference is less significant in the electrical grid. However, it still occurs so a distinguishing positive and negative utility periods is recommended.

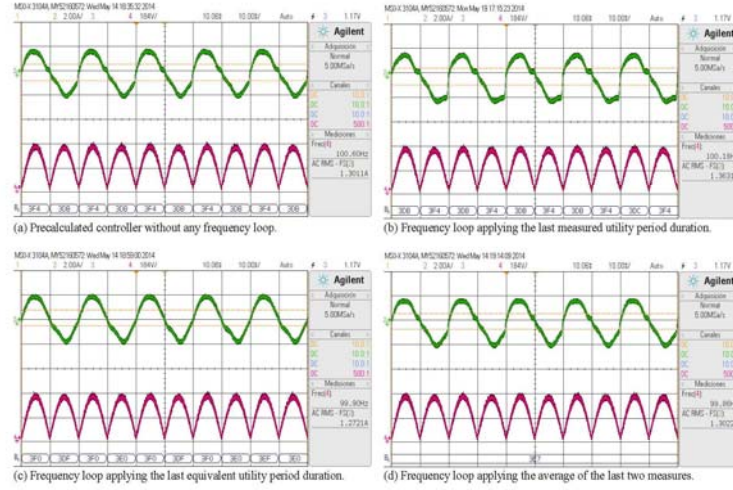


Fig. 4. Comparison of the four methods in nominal conditions. The upper analog signal is the input current, the lower analog signal is the rectified input voltage. The digital signal is the hexadecimal value corresponding to the number of PWM cycles that the frequency loop will use for the corresponding utility period (1000, corresponds to 3ER_u).

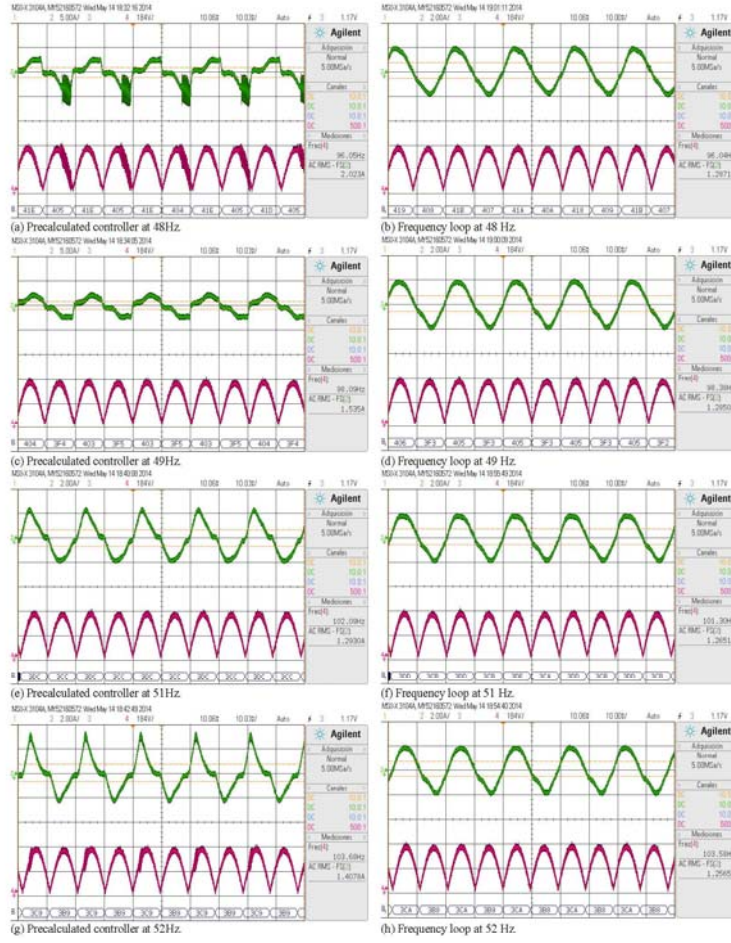


Fig. 5. Comparison of the former precalculated controller (subfigures a, c, e and g) and using the frequency loop (subfigures b, d, f, h). These two controllers are compared for the following input voltage frequencies: 48 Hz, 49 Hz, 51 Hz, 52 Hz. The upper analog signal is the input current, the lower analog signal is the rectified input voltage. The digital value is the number of PWM cycles that the frequency loop will use for the corresponding utility period.

The second point of discussion is the performance of the original controller versus the application of the proposed frequency loop in non-nominal conditions. For this comparison, Fig. 5 presents the measurements of the original controller and the best results of the frequency loop, i.e. using the measure of the last equivalent utility period. This figure includes the behavior of the input current for the $\pm 2\%$ and for the $\pm 4\%$ input voltage frequency variations. As it was expected, the deterioration of PF when using the original controller is significant. However, this deterioration is not symmetrical, as the behavior is significantly worse when the input voltage presents lower frequencies (PF is lower than 0.8 when input voltage frequency is 48 Hz). On the other hand, the obtained PF when the frequency loop is working is almost the same for both nominal and non-nominal conditions. This PF is slightly higher when the systems is working on nominal conditions, but the difference is not significant.

The results presented in Fig. 5 also show the lack of symmetry between the positive and negative utility periods. However, either using the last measurement or the average of the last two measurements (i.e. options presented as b) and c) in the previous section) provides better results than the original controller. The modification that the loop introduces in the application of the PWM duty cycle vector provides some correction for the variation of the input voltage frequency.

V. CONCLUSION

This work proposes the use of a simple frequency loop for precalculated PFC controllers. These controllers rely on a precalculated vector of PWM duty cycles that are applied along the utility period. The frequency loop modifies the sequence of these PWM duty cycles inserting or removing elements to fit to the measured duration of the utility period. The proposed modification requires minimal modification to the existing controller as it only modifies the address of the LUT which contains the PWM duty cycle vector.

The experiments show that this frequency loop keeps the PF of the switching converter when the input voltage frequency is not in nominal conditions. The use of the frequency loop is also recommended even for nominal conditions as it has proven to increase the PF. It can be observed that some lack of precision in controllers clock signal, the lack of symmetry of the power source or in the diode bridge result on a deterioration of the PF. Including the frequency loop has increased the PF and kept it constant in non-nominal AC frequencies.

REFERENCES

- [1] P. Ahmed, S. Saha, S. Al Sunny, M. Hossain, and M. Rafee, "Modeling and simulation of a microcontroller based power factor correction converter," in *Informatics Electronics Vision (ICIEV), 2013 International Conference on*, May 2013, pp. 1–4.
- [2] S. Mobin, E. Hiraki, H. Takano, and M. Nakaoka, "Simulation method for DSP-controlled active pfc high-frequency power converters," *Electric Power Applications, IEE Proceedings*, vol. 147, no. 3, pp. 159–166, May 2000.
- [3] S.-J. Chen, S.-P. Yang, and R.-H. Wong, "FPGA-based digital control for boost converters with power factor correction," in *Industrial Electronics and Applications (ICIEA), 2012 7th IEEE Conference on*, July 2012, pp. 1102–1106.
- [4] W. Zhang, G. Feng, Y.-F. Liu, and B. Wu, "DSP implementation of predictive control strategy for power factor correction (PFC)," in *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, vol. 1, 2004, pp. 67–73 Vol.1.
- [5] Y.-S. Roh, Y.-J. Moon, J.-C. Gong, and C. Yoo, "Active power factor correction (PFC) circuit with resistor-free zero-current detection," *Power Electronics, IEEE Transactions on*, vol. 26, no. 2, pp. 630–637, Feb 2011.
- [6] F. Javier Azcondo, A. De Castro, V. López, and O. García, "Power factor correction without current sensor based on digital current rebuilding," *Power Electronics, IEEE Transactions on*, vol. 25, no. 6, pp. 1527–1536, June 2010.
- [7] V. Lopez, F. Azcondo, A. de Castro, and R. Zane, "Universal digital controller for boost CCM power factor correction stages based on current rebuilding concept," *Power Electronics, IEEE Transactions on*, vol. 29, no. 7, pp. 3818–3829, July 2014.
- [8] I. Merfert, "Analysis and application of a new control method for continuous-mode boost converters in power factor correction circuits," in *Power Electronics Specialists Conference, 1997. PESC '97 Record, 28th Annual IEEE*, vol. 1, Jun 1997, pp. 96–102 vol.1.
- [9] I. Merfert, "Stored-duty-ratio control for power factor correction," in *Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual*, vol. 2, Mar 1999, pp. 1123–1129 vol.2.
- [10] W. Zhang, G. Feng, Y.-F. Liu, and B. Wu, "A digital power factor correction (PFC) control strategy optimized for DSP," *Power Electronics, IEEE Transactions on*, vol. 19, no. 6, pp. 1474–1485, Nov 2004.
- [11] A. Sanchez, A. de Castro, V. López, F. Azcondo, and J. Garrido, "Single adc digital PFC controller using precalculated duty cycles," *Power Electronics, IEEE Transactions on*, vol. 29, no. 2, pp. 996–1005, Feb 2014.
- [12] UNE-EN 50160: Voltage characteristics of electricity supplied by public electricity networks, International Organization of Standardization Std., March 2011.

